

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shigeru ONOYA
Serial No. : Not yet assigned
Filed : February 8, 2001
Title : SEMICONDUCTOR DEVICE AND METHOD OF DRIVING
SEMICONDUCTOR DEVICE

Art Unit : Unknown
Examiner : Unknown



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application: Japan Application No. 2000-031055 filed February 8, 2000. A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 8, 2001

William D. Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c986 U.S. PTO
09/778761
02/09/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 2月 8日

出 願 番 号

Application Number:

特願2000-031055

出 願 人

Applicant(s):

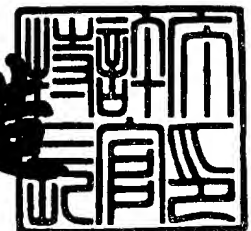
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3106410

【書類名】 特許願

【整理番号】 P004610-05

【提出日】 平成12年 2月 8日

【あて先】 特許庁長官 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 小野谷 茂

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体表示装置及び半導体表示装置の駆動方法

【特許請求の範囲】

【請求項 1】

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、対向電極と、前記複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数の画素 T F T を介して、前記複数の画素電極に表示信号が入力されており、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法。

【請求項 2】

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、複数のソース信号線と、複数のゲート信号線と、対向電極と、前記複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法。

【請求項 3】

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、複数のソース信号

線と、複数のゲート信号線と、対向電極と、前記複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記複数のソース信号線のそれぞれに入力される表示信号は、各フレーム期間中、前記対向電極の電位を基準として常に同じ極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法。

【請求項 4】

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、複数のソース信号線と、複数のゲート信号線と、対向電極と、前記複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記複数のソース信号線に入力される全ての表示信号の極性は、1 ライン期間中、前記対向電極の電位を基準として同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを

特徴とする半導体表示装置の駆動方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとにランダムに異なっていることを特徴とする半導体表示装置の駆動方法。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか 1 項において、隣り合う 2 つのフレーム期間において、全ての前記画素電極に入力される表示信号の極性が反転していることを特徴とする半導体表示装置の駆動方法。

【請求項 7】

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、表示信号生成部とを有する半導体表示装置であって、

前記画素部は、複数の画素 T F T 及び複数の画素電極を含む複数の画素を有しており、

前記表示信号生成部は、制御部と、極性データ信号生成部と、交流化信号生成部と、表示信号選択部と、+側表示信号生成部と、-側表示信号生成部とを有しており、

前記制御部は、前記極性データ信号生成部、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記極性データ信号生成部は極性データを有する極性データ信号を前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記表示信号選択部に入力し、

前記+側表示信号生成部と前記-側表示信号生成部において、正の極性を有する映像信号と負の極性を有する映像信号とがそれぞれ生成されて前記表示信号選択部に入力され、

前記表示信号選択部において、前記正の極性を有する映像信号と前記負の極性

を有する映像信号と前記交流化信号とから、表示信号が生成され前記ソース信号線駆動回路に入力され、

前記ソース信号線駆動回路に入力された前記表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素 T F T を介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置。

【請求項 8】

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、階調電圧制御部と、階調電圧電源とを有する半導体表示装置であって、

前記ソース信号線駆動回路は D / A 変換回路を有しており、

前記画素部は、複数の画素 T F T 及び複数の画素電極を含む複数の画素を有しており、

前記階調電圧制御部は、制御部と、極性データ信号生成部と、交流化信号生成部とを有しており、

前記制御部は、前記極性データ信号生成部、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記極性データ信号生成部は極性データを有する極性データ信号を前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記階調電圧電源に入力し、

前記交流化信号によって、前記階調電圧電源から前記 D / A 変換回路に入力さ

れる階調電圧が制御され、

前記D/A変換回路から出力された表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素TFTのスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素TFTを介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置。

【請求項9】

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、表示信号生成部とを有する半導体表示装置であって、

前記画素部は、複数の画素TFT及び複数の画素電極を含む複数の画素を有しており、

前記表示信号生成部は、制御部と、アドレスカウンタと、極性データ信号生成部と、メモリと、交流化信号生成部と、表示信号選択部と、+側表示信号生成部と、-側表示信号生成部とを有しており、

前記制御部は、前記アドレスカウンタ、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記アドレスカウンタから出力されるカウンタ信号によって、前記メモリのアドレスが指定され、

前記極性データ信号生成部は前記アドレスに記憶されている極性データを、極性データ信号として前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記表示信号選択部に入力し、

前記＋側表示信号生成部と前記－側表示信号生成部において、正の極性を有する映像信号と負の極性を有する映像信号とがそれぞれ生成されて前記表示信号選択部に入力され、

前記表示信号選択部において、前記正の極性を有する映像信号と前記負の極性を有する映像信号と前記交流化信号とから、表示信号が生成され前記ソース信号線駆動回路に入力され、

前記ソース信号線駆動回路に入力された前記表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素T F Tのスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素T F Tを介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置。

【請求項 1 0】

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、階調電圧制御部と、階調電圧電源とを有する半導体表示装置であって、

前記ソース信号線駆動回路はD/A変換回路を有しており、

前記画素部は、複数の画素T F T及び複数の画素電極を含む複数の画素を有しており、

前記階調電圧制御部は、制御部と、アドレスカウンタと、極性データ信号生成部と、メモリと、交流化信号生成部とを有しており、

前記制御部は、前記アドレスカウンタ、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記アドレスカウンタから出力されるカウンタ信号によって、前記メモリのア

ドレスが指定され、

前記極性データ信号生成部は前記アドレスに記憶されている極性データを、極性データ信号として前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記階調電圧電源に入力し、

前記交流化信号によって、前記階調電圧電源から前記D/A変換回路に入力される階調電圧が制御され、

前記D/A変換回路から出力された表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素TFTのスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素TFTを介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置。

【請求項 1 1】

請求項 7 乃至請求項 1 0 のいずれか 1 項において、前記極性データとは全ての画素に入力される表示信号の極性についての情報であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は、液晶等の表示媒体を用いた半導体表示装置に好適な駆動方法及び、上記駆動方法を用いて表示を行う半導体表示装置に関する。特に本願発明は、アクティブマトリクス型液晶表示装置の駆動方法及び、上記駆動方法を用いて表示を行うアクティブマトリクス型液晶表示装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、絶縁性基板上に半導体薄膜を用いて形成された素子、例えば薄膜トランジスタ（T F T）を作製する技術が急速に発達している。その理由は、半導体表示装置（代表的には、アクティブマトリクス型液晶表示装置）の需要が高まってきたことによる。

【 0 0 0 3 】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素にかかる電荷を、T F Tで構成された画素のスイッチング素子（画素T F T）により制御して、画像を表示するものである。

【 0 0 0 4 】

なお、本明細書中における画素とは、スイッチング素子と、前記スイッチング素子に接続された画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた液晶とで主に構成されている。

【 0 0 0 5 】

以下に図 2 0 を用いて、アクティブマトリクス型液晶表示装置が有する液晶パネルの表示動作の代表的な例を簡略に説明する。図 2 0（A）は、アクティブマトリクス型液晶表示装置の上面図であり、図 2 0（B）は画素の配置を示した図である。

【 0 0 0 6 】

ソース信号線駆動回路 7 0 1 とソース信号線 S 1 ～ S 6 とが接続されている。またゲート信号線駆動回路 7 0 2 とゲート信号線 G 1 ～ G 4 とが接続されている。そしてソース信号線 S 1 ～ S 6 とゲート信号線 G 1 ～ G 4 とで囲まれている部分に画素 7 0 3 が複数設けられている。画素 7 0 3 には画素 T F T 7 0 4 と画素電極 7 0 5 とが設けられている。なおソース信号線とゲート信号線の数はこの値に限定されない。

【 0 0 0 7 】

ソース信号線駆動回路 7 0 1 内のシフトレジスタ等（図示しない）からの信号に従って、ソース信号線 S 1 に表示信号が入力される。またゲート信号線駆動回

路 7 0 2 からゲート信号線 G 1 に入力される選択信号によってゲート信号線 G 1 が選択され、ゲート信号線 G 1 とソース信号線 S 1 とが交差している部分の画素 (1、1) の画素 T F T 7 0 4 がオンの状態になる。そしてソース信号線 S 1 に入力された表示信号が、画素 T F T 7 0 4 を介して画素 (1、1) の画素電極 7 0 5 に入力される。この入力された表示信号の電位により液晶を駆動し、透過光量を制御して、画素 (1、1) に画像の一部 (画素 (1、1) に相当する画像) が表示される。

【 0 0 0 8 】

次に、画素 (1、1) に画像が表示された状態を保持容量 (図示せず) 等で保持したまま、次の瞬間には、ソース信号線駆動回路 7 0 1 内のシフトレジスタ等 (図示しない) からの信号に従って、ソース信号線 S 2 に表示信号が入力される。なお保持容量とは、画素 T F T 7 0 4 のゲート電極に入力された表示信号の電位を一定の期間保持するための容量である。

【 0 0 0 9 】

ゲート信号線 G 1 は選択されたままであり、ゲート信号線 G 1 とソース信号線 S 2 とが交差している部分の画素 (1、2) の画素 T F T 7 0 4 はオンの状態である。そしてソース信号線 S 2 に入力された表示信号が、画素 T F T 7 0 4 を介して画素 (1、2) の画素電極 7 0 5 に入力される。この入力された表示信号の電位により液晶を駆動し、透過光量を制御して、画素 (1、1) と同様に、画素 (1、2) に画像の一部 (画素 (1、2) に相当する画像) が表示される。

【 0 0 1 0 】

このような表示動作を順次行い、ゲート信号線 G 1 に接続されている全ての画素 (1、1) (1、2) (1、3) (1、4) (1、5) (1、6) に画像の一部を次々と表示する。この間、ゲート信号線 G 1 に入力されている選択信号によって、ゲート信号線 G 1 は選択され続けている。

【 0 0 1 1 】

ゲート信号線 G 1 に接続されている画素の全てに表示信号が入力されると、ゲート信号線 G 1 は選択されなくなる。引き続いて、ゲート信号線 G 2 に入力される選択信号によって、ゲート信号線 G 2 が選択される。そしてゲート信号線 G 2

に接続されている全ての画素（２、１）（２、２）（２、３）（２、４）（２、５）（２、６）に画像の一部を次々と表示する。この間、ゲート信号線G 2は選択され続けている。

【 0 0 1 2 】

上述した動作を全てのゲート信号線において順次繰り返すことにより、画素部 7 0 6 に一つの画像を表示する。この一つの画像が表示される期間を 1 フレーム期間と呼ぶ。画素部 7 0 6 に一つの画像が表示される期間と、垂直帰線期間とを合わせてフレーム期間としても良い。そして全ての画素は、再び各画素の画素 T F T がオンの状態になるまで、画像が表示された状態を保持容量（図示せず）等で保持している。

【 0 0 1 3 】

【発明が解決しようとする課題】

通常スイッチング素子として T F T 等を用いた液晶パネルでは、液晶の劣化を防ぐために、各画素へ入力する信号の電位の極性を、対向電極の電位（共通電位）を基準として反転（交流化駆動）させる。交流化駆動の方法としては、フレーム反転駆動、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動が挙げられる。以下に、各駆動方法について説明する。

【 0 0 1 4 】

図 2 1 （A）にフレーム反転駆動において各画素に入力される表示信号の極性のパターン（以下、単に極性パターンと呼ぶ）を示す。なお、本明細書中の極性パターンを示した図〔図 2 1、図 2、図 4、図 5、図 6、図 7〕では、共通電位を基準として、画素に入力される表示信号の電位が正である場合は「+」で図示し、負である場合は「-」で示している。また図 2 1 に示した極性パターンは、図 2 0 （B）に示した画素の配置と対応している。

【 0 0 1 5 】

なお本明細書において、正の極性を有する表示信号とは、共通電位よりも高い電位を有する表示信号を意味する。また負の極性を有する表示信号とは、共通電位よりも低い電位を有する表示信号を意味する。

【 0 0 1 6 】

加えて走査方式には、1画面（1フレーム）において、奇数番目のゲート信号線と偶数番目のゲート信号線とで2回（2フィールド）に分けて走査するインターレス走査と、奇数番目と偶数番目のゲート信号線を分け隔てなく順番に走査するノンインターレス走査とがあるが、ここでは主にノンインターレス走査を用いた例で説明する。

【0017】

フレーム反転駆動の特徴は、任意の1フレーム期間内で、全ての画素に同一の極性の表示信号が入力され（極性パターン①）、そして次の1フレーム期間では、全ての画素に入力される表示信号の極性を反転させて表示を行っている（極性パターン②）点である。即ち、極性パターンのみに注目すると2種類の極性パターン（極性パターン①と極性パターン②）が、1フレーム期間ごとに繰り返し表示される駆動方法である。

【0018】

次にソースライン反転駆動について説明する。図21（B）にソースライン反転駆動における画素の極性パターンを示す。

【0019】

図21（B）で示したように、ソースライン反転駆動の特徴は、任意の1フレーム期間において、同じソース信号線に接続されている全ての画素に同じ極性の表示信号が入力されており、隣り合うソース信号線に接続されている画素どうしで逆の極性の表示信号が入力されていることである。

【0020】

なお本明細書において、ソース信号線に接続されている画素とは、ソース信号線にそのソース領域又はドレイン領域が接続されている画素TFTを有する画素のことを示している。

【0021】

そして次の1フレーム期間において、各ソース信号線には、直前の1フレーム期間において入力された表示信号とは逆の極性を有する表示信号が入力される。よって、任意の1フレーム期間における極性パターンが極性パターン③だったとすると、次の1フレーム期間における極性パターンは極性パターン④となる。

【 0 0 2 2 】

次に、ゲートライン反転駆動について説明する。ゲートライン反転駆動における極性パターンを図 2 1 (C) に示す。

【 0 0 2 3 】

図 2 1 (C) で示したように、ゲートライン反転駆動の特徴は、任意の 1 フレーム期間において、同じゲート信号線に接続されている全ての画素に同じ極性の表示信号が入力されており、隣り合うゲート信号線に接続されている画素どうしで逆の極性の表示信号が入力されていることである。

【 0 0 2 4 】

なお本明細書において、ゲート信号線に接続されている画素とは、ゲート信号線にそのゲート電極が接続されている画素 T F T を有する画素のことを示している。

【 0 0 2 5 】

そして次の 1 フレーム期間において、各ゲート信号線に接続された画素には、直前の 1 フレーム期間において入力された表示信号とは逆の極性を有する表示信号が入力される。よって、任意の 1 フレーム期間における極性パターンが極性パターン⑤だったとすると、次の 1 フレーム期間における極性パターンは極性パターン⑥となる。

【 0 0 2 6 】

即ち、上記ソースライン反転駆動と同様に、2 種類の極性パターン（極性パターン⑤と極性パターン⑥）が、1 フレーム期間ごとに繰り返し表示される駆動方法である。

【 0 0 2 7 】

次にドット反転駆動について説明する。ドット反転駆動における極性パターンを図 2 1 (D) に示す。

【 0 0 2 8 】

図 9 (D) に示したように、ドット反転駆動とは、画素に入力する表示信号の極性を隣接する全ての画素どうしで反転させる方法である。そして任意の 1 フレーム期間において、各画素に、直前の 1 フレーム期間において入力された表示信

号とは逆の極性を有する表示信号が入力される。よって、任意の1フレーム期間における極性パターンが極性パターン⑦だったとすると、次の1フレーム期間における極性パターンは極性パターン⑧となる。つまり2種類の極性パターンが、1フレーム期間ごとに繰り返し表示される駆動方法である。

【 0 0 2 9 】

上述した交流化駆動は、液晶の劣化を防ぐには有用な方法である。しかし上述した交流化駆動を用いると、画面がちらついたり、縦縞または横縞が視認されたりすることがあった。

【 0 0 3 0 】

これは各画素において同じ階調表示を行おうとしても、入力される表示信号の極性が正の時の表示と負の時の表示とで、画面の明るさが微妙に異なってしまうためだと考えられる。この現象について、以下、フレーム反転駆動を例にとって詳しく説明する。

【 0 0 3 1 】

図20に示したアクティブマトリクス型液晶表示装置をフレーム反転駆動させたときのタイミングチャートを図22に示した。なお図22は、アクティブマトリクス型液晶表示装置がノーマリーブラックなら白表示、ノーマリーホワイトなら黒表示させた場合のタイミングチャートである。1つのゲート信号線に選択信号が入力されている期間を1ライン期間、全てのゲート信号線に選択信号が入力されて1つの画像が表示されるまでの期間を1フレーム期間とする。

【 0 0 3 2 】

ソース信号線S1とゲート信号線G1にそれぞれ表示信号と選択信号とが入力されると、ソース信号線S1とゲート信号線G1との交差している部分に設けられた画素(1、1)に、正の極性の表示信号が入力される。なお本明細書において、表示信号が画素に入力されるとは、表示信号が画素TFTを介して画素電極に入力されることを意味する。そして画素(1、1)において、入力された表示信号によって画素電極に与えられた電位は、理想的には保持容量等によって1フレーム期間中保持され続ける。

【 0 0 3 3 】

しかし実際には、1ライン期間が終了する時、ゲート信号線G1の電位が画素TFTをオフさせる電位にシフトすると、画素電極の電位もゲート信号線G1の電位がシフトする方向に ΔV だけ引き込まれることがある。この現象をフィールドスルーと呼び、また ΔV を突き抜け電圧と呼ぶ。

【0034】

ΔV は以下に示す式で与えられる。

【0035】

【式1】

$$\Delta V = V \times C_{gd} / (C_{gd} + C_{lc} + C_s)$$

【0036】

Vはゲート電極の電位の振幅、 C_{gd} は画素TFTのゲート電極とドレイン領域の間の容量、 C_{lc} は画素電極と対向電極の間の液晶の容量、 C_s は保持容量の容量である。

【0037】

図22に示すタイミングチャートにおいて、画素(1, 1)における実際の画素電極の電位を実線で、フィールドスルーを考慮しない理想的な画素電極の電位を点線で示す。第1フレーム期間において、正の極性の表示信号が画素(1, 1)に入力される。図22に示した第1フレーム期間の場合、第1ライン期間が終了すると同時にゲート信号線の電位が負の方向に変化し、そして画素(1, 1)の画素電極の電位も、実際は突き貫け電圧の分だけ負の方向に変化する。なお、図22では、第1フレーム期間における突き貫け電圧を ΔV_1 として示す。

【0038】

次に第2フレーム期間の第1ライン期間において、第1フレーム期間の第1ライン期間とは逆の極性である負の極性の表示信号が、画素(1, 1)に入力される。そして第2フレーム期間における第1ライン期間が終了する時、ゲート信号線G1の電位が負の方向に変化する。そして同時に画素(1, 1)の画素電極の電位も、実際は突き貫け電圧の分だけ負の方向に変化する。なお、図22では、第2フレーム期間における突き貫け電圧を ΔV_2 として示す。

【0039】

図 2 2 において、第 1 フレーム期間の第 1 ライン期間終了後における駆動電圧を V_1 、第 2 フレーム期間の第 1 ライン期間終了後における駆動電圧を V_2 として示す。なお本明細書において駆動電圧とは、画素電極の電位と共通電位との電位差を意味する。

【 0 0 4 0 】

駆動電圧 V_1 と駆動電圧 V_2 は、 $\Delta V_1 + \Delta V_2$ の電圧差を有することになる。このため第 1 フレーム期間と第 2 フレーム期間とでは、画素 (1, 1) における画面の明るさが異なる。

【 0 0 4 1 】

そこで駆動電圧 V_1 と駆動電圧 V_2 の値が同じになるように、共通電位の値を低くする方法も考えられる。

【 0 0 4 2 】

しかし、画素 T F T のゲート電極とドレイン領域の間の容量 C_{gd} は、正の極性を有する表示信号を画素に入力したときと、負の極性を有する表示信号を画素に入力したときとでは、その値が異なる。さらに画素電極と対向電極の間の液晶の容量 C_{lc} も、画素に入力される表示信号の電位によって変動する。そのため、 C_{gd} と、 C_{lc} の値が各フレーム期間によって異なるために、突き貫け電圧 ΔV の値も各フレーム期間によって異なる。よって、たとえ共通電位の値を変化させても、フレーム期間によって、画素 (1, 1) における駆動電圧が異なってしまう、結果的に画面の明るさが異なってしまう。

【 0 0 4 3 】

そしてこれは画素 (1, 1) に限らず全ての画素において起こりうる現象で、画素に入力される表示信号の極性によって、画素の明るさが異なりうる。

【 0 0 4 4 】

よってフレーム反転駆動では、第 1 フレーム期間で表示された画像と第 2 フレーム期間で表示された画像の明るさが異なり、観察者にチラツキとして視認されてしまう。特に、中間調表示において顕著にチラツキが確認された。

【 0 0 4 5 】

ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動の場合も同様

に、正の極性の表示信号が入力された画素と、負の極性の表示信号が入力された画素とでは、表示の明るさが異なる。

【 0 0 4 6 】

そのため、ソースライン反転駆動では縦縞が、ゲートライン反転駆動では横縞が画面に表示された。またドット反転駆動では、画面に表示される画像によって、縦縞が現れたり横縞が現れたりした。

【 0 0 4 7 】

交流化駆動によって画面がちらついて見えたり、縦縞または横縞が視認されたりするのを防ぐためには、フレーム周波数を高くすることが効果的だと考えられる。しかしフレーム周波数を高くするためには、駆動回路、特にソース信号線駆動回路の駆動周波数を高くする必要があった。そしてソース信号線駆動回路の駆動周波数を高くしてゆくと、ソース信号線駆動回路が有する T F T の動作速度がソース信号線駆動回路の駆動周波数に対応しきれなくなり、動作が不可能か、または信頼性の上で難が出てくる可能性があった。

【 0 0 4 8 】

そこで本願発明は上述したことに鑑み、観察者にチラツキや縦縞及び横縞が視認されにくく、鮮明で高精細な画像の表示ができる半導体表示装置の駆動方法、及び該駆動方法を用いた半導体表示装置を提供することを目的とする。

【 0 0 4 9 】

【課題を解決するための手段】

本発明者は、交流駆動を行う際に観察者にチラツキや縦縞及び横縞が視認されるのは、同じ極性を有する表示信号が入力される画素が、全てのフレーム期間において常に変わらないためだと考えた。詳しく説明すると、あるフレーム期間において、入力された表示信号の極性が互いに同じである画素には、他のフレーム期間においても互いに同じ極性の表示信号が入力されるためだと考えた。

【 0 0 5 0 】

そこで本願発明では、半導体表示装置を交流化駆動させる際に、各フレーム期間において同じ極性の表示信号が入力される画素が、常に同じにならないようにした。言い換えると、ある一定の期間ごとに同じ極性の表示信号を入力する画素

を、チラツキや縦縞及び横縞が視認されにくくなる程度に不規則に変化させた。
なお同じ極性の表示信号を入力する画素は、画像にチラツキや縦縞及び横縞が視
認されにくくなる程度に不規則に変化させれば良く、つまりある一定の規則性を
有して変化させても良い。

【 0 0 5 1 】

そしてある期間内において、各画素に正の極性の表示信号が入力される期間と
、負の極性の表示信号が入力される期間とが等しくなるようにする。

【 0 0 5 2 】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ
、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができ
た。そしてなおかつ交流化駆動によって液晶の劣化を抑えることができる。

【 0 0 5 3 】

以下に、本願発明の構成を示す。

【 0 0 5 4 】

本願発明は上記構成によって、

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、対向電極と、前記
複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置
の駆動方法において、

前記複数の画素 T F T を介して、前記複数の画素電極に表示信号が入力されて
おり、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準とし
て正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有す
る表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを
特徴とする半導体表示装置の駆動方法が提供される。

【 0 0 5 5 】

本願発明は上記構成によって、

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、複数のソース信号
線と、複数のゲート信号線と、対向電極と、前記複数の画素電極と前記対向電極

の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法が提供される。

【 0 0 5 6 】

本願発明は上記構成によって、

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、複数のソース信号線と、複数のゲート信号線と、対向電極と、前記複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記複数のソース信号線のそれぞれに入力される表示信号は、各フレーム期間中、前記対向電極の電位を基準として常に同じ極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法が提供される。

【 0 0 5 7 】

本願発明は上記構成によって、

複数の画素 T F T 及び複数の画素電極を含む複数の画素と、複数のソース信号

線と、複数のゲート信号線と、対向電極と、前記複数の画素電極と前記対向電極の間に設けられた液晶とを有する半導体表示装置の駆動方法において、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される表示信号は、前記複数の画素 T F T を介して前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記複数のソース信号線に入力される全ての表示信号の極性は、1 ライン期間中、前記対向電極の電位を基準として同じ極性を有しており、

隣接しているライン期間において、前記複数のソース信号線に入力される表示信号の極性は、前記対向電極の電位を基準として互いに反転しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法が提供される。

【 0 0 5 8 】

本願発明は上記構成によって、

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、表示信号生成部とを有する半導体表示装置であって、

前記画素部は、複数の画素 T F T 及び複数の画素電極を含む複数の画素を有しており、

前記表示信号生成部は、制御部と、極性データ信号生成部と、交流化信号生成部と、表示信号選択部と、+側表示信号生成部と、-側表示信号生成部とを有しており、

前記制御部は、前記極性データ信号生成部、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記極性データ信号生成部は極性データを有する極性データ信号を前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記表示信号選択部に入力し、

前記＋側表示信号生成部と前記－側表示信号生成部において、正の極性を有する映像信号と負の極性を有する映像信号とがそれぞれ生成されて前記表示信号選択部に入力され、

前記表示信号選択部において、前記正の極性を有する映像信号と前記負の極性を有する映像信号と前記交流化信号とから、表示信号が生成され前記ソース信号線駆動回路に入力され、

前記ソース信号線駆動回路に入力された前記表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素 T F T を介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置が提供される。

【 0 0 5 9 】

本願発明は上記構成によって、

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、階調電圧制御部と、階調電圧電源とを有する半導体表示装置であって、

前記ソース信号線駆動回路は D / A 変換回路を有しており、

前記画素部は、複数の画素 T F T 及び複数の画素電極を含む複数の画素を有しており、

前記階調電圧制御部は、制御部と、極性データ信号生成部と、交流化信号生成部とを有しており、

前記制御部は、前記極性データ信号生成部、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記極性データ信号生成部は極性データを有する極性データ信号を前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記階調電圧電源に入力し、

前記交流化信号によって、前記階調電圧電源から前記D/A変換回路に入力される階調電圧が制御され、

前記D/A変換回路から出力された表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素TFTのスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素TFTを介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置が提供される。

【 0 0 6 0 】

本願発明は上記構成によって、

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、表示信号生成部とを有する半導体表示装置であって、

前記画素部は、複数の画素TFT及び複数の画素電極を含む複数の画素を有しており、

前記表示信号生成部は、制御部と、アドレスカウンタと、極性データ信号生成部と、メモリと、交流化信号生成部と、表示信号選択部と、+側表示信号生成部と、-側表示信号生成部とを有しており、

前記制御部は、前記アドレスカウンタ、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記アドレスカウンタから出力されるカウンタ信号によって、前記メモリのアドレスが指定され、

前記極性データ信号生成部は前記アドレスに記憶されている極性データを、極性データ信号として前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記表示信号選択部に入力し、

前記＋側表示信号生成部と前記－側表示信号生成部において、正の極性を有する映像信号と負の極性を有する映像信号とがそれぞれ生成されて前記表示信号選択部に入力され、

前記表示信号選択部において、前記正の極性を有する映像信号と前記負の極性を有する映像信号と前記交流化信号とから、表示信号が生成され前記ソース信号線駆動回路に入力され、

前記ソース信号線駆動回路に入力された前記表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素 T F T のスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素 T F T を介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置が提供される。

【 0 0 6 1 】

本願発明は上記構成によって、

ソース信号線駆動回路と、ゲート信号線駆動回路と、複数のソース信号線と、複数のゲート信号線と、画素部と、階調電圧制御部と、階調電圧電源とを有する

半導体表示装置であって、

前記ソース信号線駆動回路はD/A変換回路を有しており、

前記画素部は、複数の画素TFT及び複数の画素電極を含む複数の画素を有しており、

前記階調電圧制御部は、制御部と、アドレスカウンタと、極性データ信号生成部と、メモリと、交流化信号生成部とを有しており、

前記制御部は、前記アドレスカウンタ、前記交流化信号生成部、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路の駆動を制御し、

前記アドレスカウンタから出力されるカウンタ信号によって、前記メモリのアドレスが指定され、

前記極性データ信号生成部は前記アドレスに記憶されている極性データを、極性データ信号として前記交流化信号生成部に入力し、

前記交流化信号生成部は、前記極性データ信号にしたがって交流化信号を生成して前記階調電圧電源に入力し、

前記交流化信号によって、前記階調電圧電源から前記D/A変換回路に入力される階調電圧が制御され、

前記D/A変換回路から出力された表示信号は、サンプリングされて前記複数のソース信号線に入力され、

前記複数のゲート信号線に入力される選択信号によって、前記複数の画素TFTのスイッチングが制御され、

前記複数のソース信号線に入力される前記表示信号は、前記複数の画素TFTを介して、前記複数の画素電極に入力され、

前記複数の画素電極に入力される表示信号は、前記対向電極の電位を基準として正又は負の極性を有しており、

前記正の極性を有する表示信号が入力される画素電極と、前記負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置が提供される。

【 0 0 6 2 】

本願発明は上記構成において、前記正の極性を有する表示信号が入力される画

素電極と、前記負の極性を有する表示信号が入力される画素電極とが、フレーム期間ごとにランダムに異なっていることを特徴としても良い。

【 0 0 6 3 】

本願発明は上記構成において、隣り合う 2 つのフレーム期間において、全ての前記画素電極に入力される表示信号の極性が反転していることを特徴としても良い。

【 0 0 6 4 】

前記極性データとは、全ての画素に入力される表示信号の極性についての情報である。

【 0 0 6 5 】

【発明の実施の形態】

以下に、本願発明の駆動方法について説明する。

【 0 0 6 6 】

図 1 に、本願発明の駆動方法が用いられるアクティブマトリクス型液晶表示装置の画素部の構成を示す。図 1 (A) は、画素部の回路図であり、図 1 (B) は画素の配置を示した図である。

【 0 0 6 7 】

1 0 1 は画素部を示している。ソース信号線駆動回路（図示せず）に接続されたソース信号線 S 1 ～ S x と、ゲート信号線駆動回路（図示せず）に接続されたゲート信号線 G 1 ～ G y とが画素部 1 0 1 に設けられている。そして画素部 1 0 1 において、ソース信号線 S 1 ～ S x とゲート信号線 G 1 ～ G y とで囲まれている部分に画素 1 0 2 が設けられている。そして画素 1 0 2 には画素 T F T 1 0 3 と画素電極 1 0 4 とが設けられている。

【 0 0 6 8 】

ゲート信号線駆動回路からゲート信号線 G 1 ～ G y に選択信号が入力され、前記選択信号によって前記画素 T F T のスイッチングが制御されている。なお本明細書において T F T のスイッチングを制御するというのは、T F T をオンの状態にするかオフの状態にするかを選択することを意味する。

【 0 0 6 9 】

ゲート信号線駆動回路からゲート信号線G 1に入力される選択信号によってゲート信号線G 1が選択され、ゲート信号線G 1とソース信号線S 1とが交差している部分の画素(1、1)、(1、2)、…、(1、x)の画素T F T 1 0 3をオンの状態にする。

【0 0 7 0】

またソース信号線駆動回路内のシフトレジスタ等(図示しない)からの信号に従って、ソース信号線S 1～S xに、順に又は同時に表示信号が入力される。そしてソース信号線S 1～S xに入力された表示信号が、画素T F T 1 0 3を介して画素(1、1)、(1、2)、…、(1、x)の画素電極1 0 4に入力される。この入力された表示信号の電位により液晶を駆動し、透過光量を制御して、画素(1、1)、(1、2)、…、(1、x)に画像の一部(画素(1、1)、(1、2)、…、(1、x)に相当する画像)が表示される。

【0 0 7 1】

ゲート信号線G 1に接続されている画素の全てに表示信号が入力されると、ゲート信号線G 1は選択されなくなる。引き続いて、画素(1、1)、(1、2)、…、(1、x)に画像が表示された状態を保持容量(図示せず)等で保持したまま、ゲート信号線G 2に入力される選択信号によって、ゲート信号線G 2が選択される。なお保持容量とは、画素T F T 1 0 3のゲート電極に入力された表示信号の電位を一定の期間保持するための容量である。そしてゲート信号線G 2に接続されている全ての画素(2、1)(2、2)、…、(2、x)に、同様に画像の一部を次々と表示する。この間、ゲート信号線G 2は選択され続けている。

【0 0 7 2】

上述した動作を全てのゲート信号線において順次繰り返すことにより、画素部1 0 1に一つの画像を表示する。この一つの画像が表示される期間を1フレーム期間と呼ぶ。画素部1 0 1に一つの画像が表示される期間と、垂直帰線期間とを合わせてフレーム期間としても良い。そして全ての画素は、再び各画素の画素T F Tがオンの状態になるまで、画像が表示された状態を保持容量(図示せず)等で保持している。

【0 0 7 3】

本願発明では、同じ極性の表示信号が入力される画素が、常に同じにならないようにする。言い換えると、ある一定の期間ごとに同じ極性の表示信号を入力する画素を、チラツキや縦縞及び横縞が視認されにくくなる程度に変化させた。なお同じ極性の表示信号が入力される画素は、画像にチラツキや縦縞及び横縞が視認されにくくなる程度に不規則に変化させれば良く、ランダムに変化させても、ある一定の規則性を有して変化させても良い。

【 0 0 7 4 】

なお上述した駆動方法は、ノンインターレス走査を用いた例で説明しているが、本願発明の走査方式はこれに限定されない。走査方式はインターレス走査であっても良い。

【 0 0 7 5 】

以下に本願発明の駆動方法についてより詳しく説明する。

【 0 0 7 6 】

(実施の形態 1)

図 2 に本願発明の交流駆動における各画素の極性パターンを示す。なお説明を簡単にするために、ソース信号線 $S_1 \sim S_x$ のうち、任意の隣り合う 15 本のソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素についてのみ極性パターンを示す。また本実施の形態では、各ソース信号線に接続された画素を区切らずに、1 つの矩形で示した。また図 3 は、図 2 で示した本実施の形態の交流駆動において、アクティブマトリクス型液晶表示装置がノーマリーブラックなら白表示、ノーマリーホワイトなら黒表示させた場合に、各ソース信号線に入力される表示信号の電位を示した図である。

【 0 0 7 7 】

第 1 のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ正、正、負、負、正、負、負、正、負、正、負、正、正、負、正となっている。つまり正の極性の表示信号は、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+4)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+12)$ 、 $S(p+14)$ に接続されている画素に入力されている。また負の極性の表示信号

は、ソース信号線 $S(p+2)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+10)$ 、 $S(p+13)$ に接続されている画素に入力されている。

【 0 0 7 8 】

第2のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、正、正、正、負、正、正、負、正、負、正、負、負、正、負となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+2)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+10)$ 、 $S(p+13)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+4)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+12)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【 0 0 7 9 】

第3のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ正、正、負、正、負、正、負、負、正、負、正、負、正、負、負となっている。つまり正の極性の表示信号は、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+8)$ 、 $S(p+10)$ 、 $S(p+12)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 $S(p+2)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+13)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【 0 0 8 0 】

第4のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、正、負、正、正、負、負、正、正、負、負、正、正、負、正となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+3)$ 、 $S(p+4)$ 、 $S(p+7)$ 、 $S(p+8)$ 、 $S(p+11)$ 、 $S(p+1$

2)、 $S(p+14)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+5)$ 、 $S(p+6)$ 、 $S(p+9)$ 、 $S(p+10)$ 、 $S(p+13)$ に接続されている画素に入力されている。

【0081】

第5のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、正、負、負、負、正、負、正、負、正、負、負、正、正、正となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+12)$ 、 $S(p+13)$ 、 $S(p+14)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+3)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+10)$ 、 $S(p+11)$ に接続されている画素に入力されている。

【0082】

このように、本実施の形態では、同じソース信号線に接続されている画素には、同じ極性の表示信号が入力されている。そして正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダムに変化している。

【0083】

なお本実施の形態では第5のフレーム期間までしか説明しなかったが、第5のフレーム期間以降に出現するフレーム期間においても同様に、同じソース信号線に接続されている画素には、同じ極性の表示信号が入力される。そして正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダムに変化する。

【0084】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができる。

【 0 0 8 5 】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【 0 0 8 6 】

(実施の形態 2)

本実施の形態では、本願発明の駆動方法の、実施の形態 1 で示したものとは異なる例について説明する。

【 0 0 8 7 】

図 4 に本願発明の交流駆動における各画素の極性パターンを示す。なお説明を簡単にするために、ソース信号線 $S_1 \sim S_x$ のうち、任意の隣り合う 15 本のソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素についてのみ極性パターンを示す。また本実施の形態では、各ソース信号線に接続された画素を区切らずに、1 つの矩形で示した。

【 0 0 8 8 】

第 1 のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ正、負、正、正、負、正、負、正、負、負、正、負、負、正、正となっている。つまり正の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+10)$ 、 $S(p+13)$ 、 $S(p+14)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+12)$ に接続されている画素に入力されている。

【 0 0 8 9 】

第 2 のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ第 1 のフレーム期間の場合と逆であり、負、正、負、負、正、負、正、負、正、正、負、正、正、負、負となっている。つまり正の極性の表示信号は、

ソース信号線 $S(p+1)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+12)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+10)$ 、 $S(p+13)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【 0 0 9 0 】

第3のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、正、正、負、負、正、負、正、負、正、正、正、負、負、正となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+2)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+10)$ 、 $S(p+11)$ 、 $S(p+14)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+3)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+12)$ 、 $S(p+13)$ に接続されている画素に入力されている。

【 0 0 9 1 】

第4のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ第3のフレーム期間の場合と逆であり、正、負、負、正、正、負、正、負、正、負、負、負、正、正、負となっている。つまり正の極性の表示信号は、ソース信号線 S_p 、 $S(p+3)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+12)$ 、 $S(p+13)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+2)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+10)$ 、 $S(p+11)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【 0 0 9 2 】

第5のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、正、負、正、負、正、負、正、正、負、負、正、負、正、負となっ

ている。つまり正の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+8)$ 、 $S(p+11)$ 、 $S(p+13)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+9)$ 、 $S(p+10)$ 、 $S(p+12)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【0093】

なお本実施の形態では第5のフレーム期間までしか説明しなかいが、第6のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、それぞれ第5のフレーム期間の場合の逆である。

【0094】

このように、本実施の形態では、同じソース信号線に接続されている画素には、互いに同じ極性の表示信号が入力されている。そして、隣り合う2つのフレーム期間のうち、後に出現するフレーム期間において各画素に入力される表示信号の極性は、前に出現するフレーム期間において各画素に入力される表示信号の極性の逆である。つまり、隣り合う2つのフレーム期間は、互いにその極性パターンが反転している。そしてさらに、正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、2フレーム期間ごとにランダムに変化している。

【0095】

また第6のフレーム期間以降に出現するフレーム期間においても同様に、同じソース信号線に接続されている画素には、互いに同じ極性の表示信号が入力される。また正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、2フレーム期間ごとにランダムに変化する。そして隣り合う2つのフレーム期間は、互いにその極性パターンが反転する。

【0096】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができ

る。

【 0 0 9 7 】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【 0 0 9 8 】

(実施の形態 3)

本実施の形態では、本願発明の駆動方法の、実施の形態 1 及び 2 で示したものと異なる例について説明する。

【 0 0 9 9 】

図 5 に本願発明の交流駆動における各画素の極性パターンを示す。なお説明を簡単にするために、ソース信号線 $S_1 \sim S_x$ のうち、任意の隣り合う 15 本のソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素についてのみ極性パターンを示す。また本実施の形態では、各ソース信号線に接続された画素を区切らずに、1 つの矩形で示した。

【 0 1 0 0 】

第 1 のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、ソース信号線 1 つごとに反転しており、それぞれ正、負、正、負、正、負、正、負、正、負、正、負、正、負、正となっている。つまり正の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+10)$ 、 $S(p+12)$ 、 $S(p+14)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+13)$ に接続されている画素に入力されている。

【 0 1 0 1 】

第 2 のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、ソース信号線 3 つごとに反転しており、それぞれ負、負、負、正、正、正、負、

負、負、正、正、正、負、負、負となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+3)$ 、 $S(p+4)$ 、 $S(p+5)$ 、 $S(p+9)$ 、 $S(p+10)$ 、 $S(p+11)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 $S(p+6)$ 、 $S(p+7)$ 、 $S(p+8)$ 、 $S(p+12)$ 、 $S(p+13)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【0102】

第3のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、ソース信号線2つごとに反転しており、それぞれ正、正、負、負、正、正、負、負、正、正、負、負、正、正、負となっている。つまり正の極性の表示信号は、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+4)$ 、 $S(p+5)$ 、 $S(p+8)$ 、 $S(p+9)$ 、 $S(p+12)$ 、 $S(p+13)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 $S(p+2)$ 、 $S(p+3)$ 、 $S(p+6)$ 、 $S(p+7)$ 、 $S(p+10)$ 、 $S(p+11)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【0103】

第4のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、ソース信号線3つごとに反転しており、それぞれ負、負、負、正、正、正、負、負、負、正、正、正、負、負、負となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+3)$ 、 $S(p+4)$ 、 $S(p+5)$ 、 $S(p+9)$ 、 $S(p+10)$ 、 $S(p+11)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 $S(p+6)$ 、 $S(p+7)$ 、 $S(p+8)$ 、 $S(p+12)$ 、 $S(p+13)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【0104】

第5のフレーム期間において、ソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、…、 $S(p+14)$ に接続されている画素に入力される表示信号の極性は、

ソース信号線 1 つごとに反転しており、それぞれ負、正、負、正、負、正、負、正、負、正、負、正、負、正、負となっている。つまり正の極性の表示信号は、ソース信号線 $S(p+1)$ 、 $S(p+3)$ 、 $S(p+5)$ 、 $S(p+7)$ 、 $S(p+9)$ 、 $S(p+11)$ 、 $S(p+13)$ に接続されている画素に入力されている。また負の極性の表示信号は、ソース信号線 S_p 、 $S(p+2)$ 、 $S(p+4)$ 、 $S(p+6)$ 、 $S(p+8)$ 、 $S(p+10)$ 、 $S(p+12)$ 、 $S(p+14)$ に接続されている画素に入力されている。

【0105】

このように、本実施の形態では、同じソース信号線に接続されている画素には、互いに同じ極性の表示信号が入力されている。そして各フレーム期間において、任意の数のソース信号線ごとに同じ極性の表示信号が入力されており、その結果、該ソース信号線に接続されている画素に同じ極性の表示信号が入力されている。そしてさらに、正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダムに変化している。

【0106】

なお、本実施の形態では、同じ極性の表示信号が入力されているソース信号線が 1、2 又は 3 つごとに存在している。しかし本願発明はこれに限られない。画面上のチラツキ、縦縞及び横縞を、従来例に比べて観察者に視認されにくくすることができ、各画素おける正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるのであれば、本願発明は上記数に限定されない。

【0107】

なお本実施の形態では第 5 のフレーム期間までしか説明しなかったが、第 5 のフレーム期間以降に出現するフレーム期間においても同様に、同じソース信号線に接続されている画素には、互いに同じ極性の表示信号が入力されている。そして各フレーム期間において、任意の数のソース信号線ごとに同じ極性の表示信号が入力されており、その結果、該ソース信号線に接続されている画素に同じ極性の表示信号が入力されている。そしてさらに、正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダム

ムに変化している。

【0108】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができる。

【0109】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【0110】

（実施の形態4）

本実施の形態では、本願発明の駆動方法の、実施の形態1～3で示したものと異なる例について説明する。

【0111】

図6に本願発明の交流駆動における各画素の極性パターンを示す。なお説明を簡単にするために、ゲート信号線 $G_1 \sim G_y$ のうち任意の隣り合う11本のゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、 \dots 、 $G(q+10)$ に接続されている画素についてのみ極性パターンを示す。また本実施の形態では、各ゲート信号線に接続された画素を区切らずに、1つの矩形で示した。

【0112】

第1のフレーム期間において、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、 \dots 、 $G(q+10)$ に接続されている画素に入力される表示信号の極性は、それぞれ正、正、負、負、正、負、負、正、負、正、負となっている。つまり正の極性の表示信号は、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+4)$ 、 $G(q+7)$ 、 $G(q+9)$ に接続されている画素に入力されている。また負の極性の表示信号は、ゲート信号線 $G(q+2)$ 、 $G(q+3)$ 、 $G(q+5)$ 、 $G(q+6)$ 、 $G(q+8)$ 、 $G(q+10)$ に接続されている画素に入力されている。

【0113】

第2のフレーム期間において、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、…、 $G(q+10)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、負、正、負、負、負、正、正、負、正、正となっている。つまり正の極性の表示信号は、ゲート信号線 $G(q+2)$ 、 $G(q+6)$ 、 $G(q+7)$ 、 $G(q+9)$ 、 $G(q+10)$ に接続されている画素に入力されている。また負の極性の表示信号は、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+3)$ 、 $G(q+4)$ 、 $G(q+5)$ 、 $G(q+8)$ に接続されている画素に入力されている。

【0114】

第3のフレーム期間において、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、…、 $G(q+10)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、負、正、負、正、正、負、正、負、正、負となっている。つまり正の極性の表示信号は、ゲート信号線 $G(q+2)$ 、 $G(q+4)$ 、 $G(q+5)$ 、 $G(q+7)$ 、 $G(q+9)$ に接続されている画素に入力されている。また負の極性の表示信号は、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+3)$ 、 $G(q+6)$ 、 $G(q+8)$ 、 $G(q+10)$ に接続されている画素に入力されている。

【0115】

第4のフレーム期間において、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、…、 $G(q+10)$ に接続されている画素に入力される表示信号の極性は、それぞれ負、正、負、正、負、負、負、正、正、正、負となっている。つまり正の極性の表示信号は、ゲート信号線 $G(q+1)$ 、 $G(q+3)$ 、 $G(q+7)$ 、 $G(q+8)$ 、 $G(q+9)$ に接続されている画素に入力されている。また負の極性の表示信号は、ゲート信号線 G_q 、 $G(q+2)$ 、 $G(q+4)$ 、 $G(q+5)$ 、 $G(q+6)$ 、 $G(q+10)$ に接続されている画素に入力されている。

【0116】

第5のフレーム期間において、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、…、 $G(q+10)$ に接続されている画素に入力される表示信号の極性は、

それぞれ正、正、負、負、正、負、負、正、負、正、正となっている。つまり正の極性の表示信号は、ゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+4)$ 、 $G(q+7)$ 、 $G(q+9)$ 、 $G(q+10)$ に接続されている画素に入力されている。また負の極性の表示信号は、ゲート信号線 $G(q+2)$ 、 $G(q+3)$ 、 $G(q+5)$ 、 $G(q+6)$ 、 $G(q+8)$ に接続されている画素に入力されている。

【0117】

このように、本実施の形態では、同じゲート信号線に接続されている画素には、互いに同じ極性の表示信号が入力されている。そして正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダムに変化している。

【0118】

なお本実施の形態では第5のフレーム期間までしか説明しなかったが、第5のフレーム期間以降に出現するフレーム期間においても同様に、同じゲート信号線に接続されている画素には、同じ極性の表示信号が入力される。そして正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダムに変化する。

【0119】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができる。

【0120】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【0121】

(実施の形態5)

本実施の形態では、本願発明の駆動方法の、実施の形態1～4で示したものと異なる例について説明する。

【 0 1 2 2 】

本実施の形態では、極性パターンを図に示さないが、同じゲート信号線に接続されている画素には互いに同じ極性の表示信号が入力される。そして、隣り合う 2 つのフレーム期間のうち、後に出現するフレーム期間において各画素に入力される表示信号の極性は、前に出現するフレーム期間において各画素に入力される表示信号の極性の逆である。つまり、隣り合う 2 つのフレーム期間は、互いにその極性パターンが反転している。そしてさらに、正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、2 フレーム期間ごとにランダムに変化する。

【 0 1 2 3 】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができる。

【 0 1 2 4 】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【 0 1 2 5 】

(実施の形態 6)

本実施の形態では、本願発明の駆動方法の、実施の形態 1 ～ 5 で示したものは異なる例について説明する。

【 0 1 2 6 】

本実施の形態では、極性パターンを図に示さないが、同じゲート信号線に接続されている画素には、互いに同じ極性の表示信号が入力されている。そして各フレーム期間において、同じ極性の表示信号が入力されている画素が接続されているゲート信号線は、任意の数のごとに存在している。このゲート信号線の任意の数は、画面上のチラツキ、縦縞及び横縞を、従来例に比べて観察者に視認されにくくすることができ、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるのであれば、どのような

数値であっても良い。

【0 1 2 7】

そしてさらに、正の極性の表示信号が入力される画素と、負の極性の表示信号が入力される画素とが、フレーム期間ごとにランダムに変化している。

【0 1 2 8】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができる。

【0 1 2 9】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【0 1 3 0】

(実施の形態 7)

本実施の形態では、本願発明の駆動方法の、実施の形態 1～6 で示したものと異なる例について説明する。

【0 1 3 1】

図 7 に本願発明の交流駆動における各画素の極性パターンを示す。なお説明を簡単にするために、ソース信号線 $S_1 \sim S_x$ のうち隣り合う 13 本のソース信号線 S_p 、 $S(p+1)$ 、 $S(p+2)$ 、 \dots 、 $S(p+12)$ 、及びゲート信号線 $G_1 \sim G_y$ のうち隣り合う 11 本のゲート信号線 G_q 、 $G(q+1)$ 、 $G(q+2)$ 、 \dots 、 $G(q+10)$ に接続されている画素についてのみ極性パターンを示す。

【0 1 3 2】

図 7 に示したとおり、正の極性の表示信号が入力される画素の存在する位置と、負の極性の表示信号が入力される画素の存在する位置とは、フレーム期間ごとに異なる。

【0 1 3 3】

なお図 7 では、正又は負の極性の表示信号が入力される画素の存在する位置が

、フレーム期間ごとにランダムになっているが、本願発明はこの構成に限定されない。観察者に視認されていた画面上のチラツキ、縦縞及び横縞を、従来例に比べて抑えることができ、また液晶の劣化を抑えることができる構成であれば、正又は負の極性の表示信号が入力される画素の存在する位置は、ある規則性を有していても良い。

【 0 1 3 4 】

上記構成を用いることで、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができる。

【 0 1 3 5 】

また上記構成によって、各画素における正の極性の表示信号が入力される期間と、負の極性の表示信号が入力される期間とがほぼ等しくなるので、液晶の劣化を抑えることができる。

【 0 1 3 6 】

なお実施の形態 1 ～ 7 は、画素をストライプ状に配置した場合について説明しているが、本願発明はこれに限定されない。本願発明は画素をストライプ状に配置した場合だけではなく、画素をデルタ配置させたときにも適用可能である。なおデルタ配置とは、任意の隣接する 3 つの画素の中心により形成される三角形の内角が直角にはならない、画素の配置を意味する。

【 0 1 3 7 】

また実施の形態では液晶ディスプレイを交流化駆動させた場合について説明したが、本願発明はこれに限定されない。本願発明の駆動方法を液晶パネル以外の電子ディスプレイ、例えば E L ディスプレイに適用させることは十分可能である。E L ディスプレイを交流化駆動することによって、E L ディスプレイが有する E L 材料の劣化速度を抑えることができる。

【 0 1 3 8 】

【実施例】

以下に、本願発明の実施例を説明する。

【 0 1 3 9 】

(実施例 1)

本実施例では、本願発明の半導体表示装置が有する表示信号を生成する表示信号生成部について、図 8 を用いて説明する。なお本実施例はアナログ方式で駆動する半導体表示装置の例について説明する。

【0140】

表示信号生成部 200 は、制御部 201、極性データ信号生成部 203、交流化信号生成部 205、表示信号選択部 206、+側表示信号生成部 207、-側表示信号生成部 208 を有している。

【0141】

制御部 201 の外部から制御部 201 に入力される外部タイミング信号によって、制御部 201 においてパネル制御信号と、アドレスカウンタコントロール信号と、コントロール信号とが生成される。パネル制御信号とはソース信号線駆動回路とゲート信号線駆動回路とに入力される、クロック信号 (CLK)、スタートパルス信号 (SP) 等の信号である。

【0142】

アドレスカウンタコントロール信号とコントロール信号は、制御部 201 から極性データ信号生成部 203 と交流化信号生成部 205 にそれぞれ入力される。

【0143】

極性データ信号生成部 203 は極性データ信号を生成する部分である。そして極性データ信号とは、全ての画素に入力される表示信号の極性についての情報 (極性データ) を有している。

【0144】

本実施例では、極性データ信号生成部 203 にアドレスカウンタ 202 とメモリ 204 とが設けられている。なお本実施例は上記構成に限定されない。極性データ信号生成部は、全ての画素に入力される表示信号の極性についての情報 (極性データ) を有する極性信号を生成することができるならば、どのような構成を有していても良い。

【0145】

極性データ信号生成部 203 に入力されたアドレスカウンタコントロール信号

は、アドレスカウンタ 2 0 2 に入力される。アドレスカウンタ 2 0 2 は、入力されたアドレスカウンタコントロール信号によって駆動し、カウンタ信号を生成する。カウンタ信号は、メモリ 2 0 4 のアドレスを指定するカウンタ値を情報として有している。メモリ 2 0 4 には、全ての画素に入力される表示信号の極性についての情報（極性データ）が m 通り記憶されている。この m 通りの極性データは、メモリ 2 0 4 のアドレスの 0 番地から $(m-1)$ 番地に記憶されている。生成したカウンタ信号のカウンタ値によってメモリ 2 0 4 のアドレスが指定される。例えばカウンタ値が 0 だとメモリ回路 2 0 4 のアドレスの 0 番地が指定され、カウンタ値が 1 だと 1 番地が、カウンタ値が 2 だと 2 番地が、カウンタ値が $(m-1)$ だと $(m-1)$ 番地がそれぞれ指定される。

【 0 1 4 6 】

なおカウンタ値は、0 から $(m-1)$ までの値を一通りとったら、再び 0 から $(m-1)$ までの値をとっていく。つまりメモリ回路 2 0 4 のアドレスが 0 番地から $(m-1)$ 番地まで一通り指定されたら、再び 0 番地から $(m-1)$ 番地までの指定が開始される。カウンタ値がとる値に特に順番はなく、0 から $(m-1)$ までの値を順にとっても良いし、ランダムにとっても良い。

【 0 1 4 7 】

極性データの数 m は 2 より大きく、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を従来例に比べて抑えることができる大きさであれば良い。極性データの数 m は、大きければ大きいほど観察者に視認されていた画面上のチラツキ、縦縞及び横縞をより抑えることができる。

【 0 1 4 8 】

メモリ 2 0 4 のアドレスに記憶されている極性データがカウンタ信号によって指定されると、該極性データを情報として有する極性データ信号が、極性データ信号生成部 2 0 3 において生成される。生成された極性データ信号は交流化信号生成部 2 0 5 に入力される。

【 0 1 4 9 】

交流化信号生成部 2 0 5 は、制御部 2 0 1 から入力されたコントロール信号で駆動し、入力された極性データ信号から交流化信号を生成する。交流化信号は、

各画素に入力される表示信号の極性を情報として有しており、その波形は交流波形である。生成された交流化信号は表示信号選択部 2 0 6 に入力される。

【 0 1 5 0 】

一方、+側表示信号生成部 2 0 7 と -側表示信号生成部 2 0 8 の外部から、映像信号が+側表示信号生成部 2 0 7 と -側表示信号生成部 2 0 8 に入力される。+側表示信号生成部 2 0 7 において、入力された映像信号は部分的にその極性が反転され、常に正の極性を有する映像信号（プラス映像信号）に変換される。また -側表示信号生成部 2 0 7 において、入力された映像信号は部分的にその極性が反転され、常に負の極性を有する映像信号（マイナス映像信号）に変換される。

【 0 1 5 1 】

プラス映像信号とマイナス映像信号はそれぞれ表示信号選択部 1 0 6 に入力される。

【 0 1 5 2 】

表示信号選択部 2 0 6 に入力された交流化信号の極性に従って、プラス映像信号又はマイナス映像信号が選択されてサンプリングされる。例えば交流化信号の極性が正の時にプラス映像信号がサンプリングされ、交流化信号の極性が負の時にマイナス映像信号がサンプリングされる。プラス映像信号とマイナス映像信号はサンプリングされて、表示信号としてソース信号線駆動回路に入力される。

【 0 1 5 3 】

本実施例では交流化信号の極性が正の時にプラス映像信号が、交流化信号の極性が負の時にマイナス映像信号がサンプリングされる例について示したが、本願発明はこの構成に限定されない。交流化信号の極性が正の時にマイナス映像信号が、交流化信号の極性が負の時にプラス映像信号がサンプリングされる構成であっても良い。

【 0 1 5 4 】

ソース信号線駆動回路に入力された表示信号は、ソース信号線駆動回路においてサンプリングされ、各ソース信号線に入力される。

【 0 1 5 5 】

上記構成によって、実施の形態において示したような本願発明の駆動方法が実現される。

【 0 1 5 6 】

なお本実施の形態では、表示信号を形成するための図 8 で示した表示信号生成部 2 0 0 を外付けの回路として I C チップ（単結晶シリコン上に形成された M O S F E T で構成される半導体回路）上に設けている。そして表示信号生成部 2 0 0 は、F P C（フレキシブル・プリント・サーキット）を介してアクティブマトリクス基板上に設けられたソース信号線駆動回路及びゲート信号線駆動回路と接続している。ただし、本願発明は上記構成に限られず、上記表示信号生成部と一緒にソース信号線駆動回路も I C チップ上に設ける構成としても良い。または上記表示信号生成部の一部、または全てをアクティブマトリクス基板上に設けても良い。

【 0 1 5 7 】

（実施例 2）

本実施例では、アナログ方式で駆動する本願発明の半導体表示装置について説明する。図 9 にアナログ方式で駆動する本願発明の半導体表示装置の一例を、ブロック図で示す。

【 0 1 5 8 】

3 0 1 はソース信号線駆動回路、3 0 2 はゲート信号線駆動回路、3 0 3 は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを 1 つずつ設けたが、本願発明はこの構成に限定されない。ソース信号線駆動回路を 2 つ設けても良いし、ゲート信号線駆動回路を 2 つ設けても良い。

【 0 1 5 9 】

ソース信号線駆動回路 3 0 1 は、シフトレジスタ 3 0 1 __ 1、レベルシフト 3 0 1 __ 2、サンプリング回路 3 0 1 __ 3 を有している。なおレベルシフト 3 0 1 __ 2 は必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト 3 0 1 __ 2 はシフトレジスタ 3 0 1 __ 1 とサンプリング回路 3 0 1 __ 3 との間に設ける構成としたが、本願発明はこの構成に限定されない。シフトレジスタ 3 0 1 __ 1 の中にレベルシフト 3 0 1 __ 2 が組み込まれている構

成にしても良い。

【0160】

画素部303では、ソース信号線駆動回路301に接続されたソース信号線304と、ゲート信号線駆動回路302に接続されたゲート信号線306とが交差している。そのソース信号線304とゲート信号線306とに囲まれた領域に、画素305の薄膜トランジスタ（画素TFT）307と、対向電極と画素電極の間に液晶を挟んだ液晶セル308と、保持容量309とが設けられている。なお本実施例では保持容量309を設けた構成を示すが、保持容量309は必ずしも設ける必要はない。

【0161】

またゲート信号線駆動回路302は、シフトレジスタ、バッファ（いずれも図示せず）を有している。また、レベルシフトを有していても良い。

【0162】

パネル制御信号であるクロック信号（CLK）、スタートパルス信号（SP）がシフトレジスタ301__1に入力される。シフトレジスタ301__1から表示信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト301__2に入力され、その電位の振幅が大きくなって出力される。

【0163】

レベルシフト301__2から出力されたサンプリング信号は、サンプリング回路301__3に入力される。そして同時に、表示信号線を介して表示信号がサンプリング回路301__3に入力される。

【0164】

サンプリング回路301__3において、入力された表示信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線304に入力される。

【0165】

画素TFT307は、ゲート信号線駆動回路302からゲート信号線306を介して入力される選択信号によってオンの状態になる。サンプリングされてソース信号線304に入力された表示信号は、オンの状態の画素TFT307を介し

て所定の画素 3 0 5 の画素電極に入力される。

【 0 1 6 6 】

この入力された表示信号の電位により液晶が駆動し、透過光量を制御して、画素 3 0 5 に画像の一部（各画素に相当する画像）が表示される。

【 0 1 6 7 】

（実施例 3）

本実施例では、実施例 2 で示したソース信号線駆動回路の詳しい回路構成について説明する。なお実施例 2 で示したソース信号線駆動回路は、本実施例で示す構成に限定されない。

【 0 1 6 8 】

図 1 0 に本実施例のソース信号線駆動回路の回路図を示す。3 0 1 __ 1 はシフトレジスタ、3 0 1 __ 2 はレベルシフト、3 0 1 __ 3 はサンプリング回路を示している。

【 0 1 6 9 】

クロック信号 CLK、スタートパルス信号 SP、駆動方向切り替え信号 SL/R は、それぞれ図に示した配線からシフトレジスタ 3 0 1 __ 1 に入力される。表示信号は表示信号線 3 1 0 を介してサンプリング回路 3 0 1 __ 3 に入力される。本実施例では 4 分割で分割駆動した場合の例を示す。よって、表示信号線 3 1 0 は 4 本存在する。しかし本実施例はこの構成に限定されず、分割数は任意に定めることができる。

【 0 1 7 0 】

各表示信号線 3 1 0 に入力された表示信号は、サンプリング回路 3 0 1 __ 3 において、レベルシフト 3 0 1 __ 2 から入力されるサンプリング信号によってサンプリングされる。具体的には、表示信号はサンプリング回路 3 0 1 __ 3 が有するアナログスイッチ 3 1 1 においてサンプリングされ、それぞれ対応するソース信号線 3 0 4 __ 1 ～ 3 0 4 __ 4 に同時に入力される。

【 0 1 7 1 】

上記動作を繰り返すことによって、全てのソース信号線に表示信号が入力される。

【 0 1 7 2 】

図 1 1 (A) にアナログスイッチ 3 1 1 の等価回路図を示す。アナログスイッチ 3 1 1 は n チャンネル型 T F T と p チャンネル型 T F T とを有している。表示信号が図に示す配線から V_{in} として入力される。そしてレベルシフト 3 0 1 _ 2 から出力されたサンプリング信号と該サンプリング信号とは逆の極性を有する信号が、それぞれ I_N または I_{Nb} から入力される。このサンプリング信号によって表示信号がサンプリングされ、サンプリングされた表示信号がアナログスイッチから V_{out} として出力される。

【 0 1 7 3 】

図 1 1 (B) にレベルシフト 3 0 1 _ 2 の等価回路図を示す。シフトレジスタ 3 0 1 _ 1 から出力されたサンプリング信号と該サンプリング信号とは逆の極性を有する信号が、それぞれ V_{in} または V_{inb} から入力される。また、 V_{ddh} はプラスの電圧、 V_{ss} はマイナスの電圧の印加を示している。レベルシフト 3 0 1 _ 2 は、 V_{in} に入力された信号を高電圧化し反転させた信号が、 V_{outb} から出力されるように設計されている。つまり、 V_{in} に H_i が入力されると V_{outb} から V_{ss} 相当の信号が、 L_o が入力されると V_{out} から V_{ddh} 相当の信号が出力される。

【 0 1 7 4 】

(実施例 4)

本実施例では、デジタル方式で駆動する本願発明の半導体表示装置について説明する。

【 0 1 7 5 】

図 1 2 にデジタル方式で駆動する本願発明の半導体表示装置のブロック図を示す。ここでは、4 ビットのデジタル駆動方式の半導体表示装置を例にとっている。

【 0 1 7 6 】

デジタル駆動方式の半導体表示装置は、図 1 2 に示すように、ソース信号線駆動回路 4 1 2、ゲート信号線駆動回路 4 0 9 及び画素部 4 1 3 が設けられている。

【 0 1 7 7 】

ソース信号線駆動回路 4 1 2 は、シフトレジスタ 4 0 1、ラッチ 1 (LAT 1) 4 0 3、ラッチ 2 (LAT 2) 4 0 4 及び D/A 変換回路 4 0 6 が設けられている。そして外部から入力される表示信号 (本実施例の場合、デジタルの表示信号) のアドレス線 4 0 2 (a ~ d) がラッチ 1 (LAT 1) 4 0 3 に接続されている。またラッチパルス線 4 0 5 がラッチ 2 (LAT 2) 4 0 4 に接続されている。また階調電圧線 4 0 7 が D/A 変換回路 4 0 6 に接続されている。

【 0 1 7 8 】

なお本実施例では、ラッチ 1 4 0 3 およびラッチ 2 4 0 4 (LAT 1 および LAT 2) は、それぞれ 4 個のラッチが便宜上一まとめに示されている。

【 0 1 7 9 】

そしてソース信号線駆動回路 4 1 2 の D/A 変換回路 4 0 6 に接続されたソース信号線 4 0 8 と、ゲート信号線駆動回路 4 0 9 に接続されたゲート信号線 4 1 0 が画素部 4 1 3 に設けられている。

【 0 1 8 0 】

画素部 4 1 3 において、ソース信号線 4 0 8 と、ゲート信号線 4 1 0 とが交差した部分に画素 4 1 5 が設けられており、画素 4 1 5 は画素 TFT 4 1 1 及び液晶セル 4 1 4 を有している。

【 0 1 8 1 】

シフトレジスタ 4 0 1 からのタイミング信号により、アドレス線 4 0 2 (a ~ d) に供給されたデジタルの表示信号が、全ての LAT 1 4 0 3 に順次書き込まれる。なお、本明細書において、全ての LAT 1 4 0 3 を LAT 1 群と総称する。

【 0 1 8 2 】

LAT 1 群へのデジタルの表示信号の書き込みが一通り終了するまでの期間は、1 ライン期間と呼ばれる。すなわち、一番左側の LAT 1 へのデジタルの表示信号の書き込みが開始されてから、一番右側の LAT 1 へのデジタルの表示信号の書き込みが終了する時点までの期間が 1 ライン期間である。なお、LAT 1 群へのデジタルの表示信号の書き込みが一通り終了するまでの期間と、水平帰線期

間とを合わせて、1つのライン期間としても良い。

【0183】

L A T 1 群に対するデジタルの表示信号の書き込みが終了した後、L A T 1 群に書き込まれたデジタルの表示信号は、ラッチパルス線 4 0 5 に入力されるラッチシグナルによって、全ての L A T 2 4 0 4 に一斉に伝送され、書き込まれる。なお、本明細書において、全ての L A T 2 を L A T 2 群と総称する。

【0184】

デジタルの表示信号を L A T 2 群に伝送した後、2 順目のライン期間が開始される。よって、シフトレジスタ 4 0 1 からのタイミング信号により、再び L A T 1 群に、アドレス線 4 0 2 (a ~ d) に供給されるデジタルの表示信号の書き込みが順次行なわれる。

【0185】

この2 順目の1 ライン期間の開始に合わせて、L A T 2 群に書き込まれたデジタルの表示信号が D / A 変換回路 4 0 6 に一斉に入力される。そして入力されたデジタルの表示信号は、D / A 変換回路 4 0 6 において、そのデジタルの表示信号の有する画像情報に応じた電圧を有するアナログの表示信号に変換され、ソース信号線 4 0 8 に入力される。

【0186】

ゲート信号線駆動回路 4 0 9 から出力される選択信号によって、対応する画素 T F T 4 1 1 のスイッチングが行われ、ソース信号線 4 0 8 に入力されるアナログの表示信号によって液晶分子が駆動される。

【0187】

本実施例では、階調電圧線 4 0 7 に入力される階調電圧の値を各フレーム期間ごとに変化させることで、D / A 変換回路 4 0 6 から出力されるアナログの表示信号の極性を変化させる。階調電圧線は階調電圧電源においてその電圧が定められる。以下に階調電圧電源の詳しい駆動について説明する。

【0188】

図 2 3 に階調電圧制御部 4 2 0 と階調電圧電源 4 2 6 を示す。階調電圧制御部 4 2 0 は、制御部 4 2 1、極性データ信号生成部 4 2 3、交流化信号生成部 4 2

5を有している。

【0189】

制御部421の外部から制御部421に入力される外部タイミング信号によって、制御部421においてパネル制御信号と、アドレスカウンタコントロール信号と、コントロール信号とが生成される。パネル制御信号とはソース信号線駆動回路とゲート信号線駆動回路とに入力される、クロック信号（CLK）、スタートパルス信号（SP）等の信号である。

【0190】

アドレスカウンタコントロール信号とコントロール信号は、制御部421からアドレスカウンタ422と交流化信号生成部425にそれぞれ入力される。

【0191】

極性データ信号生成部423は極性データ信号を生成する部分である。そして極性データ信号とは、全ての画素に入力される表示信号の極性についての情報（極性データ）を有している。

【0192】

本実施例では、極性データ信号生成部423にアドレスカウンタ422とメモリ424とが設けられている。なお本実施例は上記構成に限定されない。極性データ信号生成部は、全ての画素に入力される表示信号の極性についての情報（極性データ）を有する極性信号を生成することができるならば、どのような構成を有していても良い。

【0193】

極性データ信号生成部423に入力されたアドレスカウンタコントロール信号は、アドレスカウンタ422に入力される。アドレスカウンタ422は、入力されたアドレスカウンタコントロール信号によって駆動し、カウンタ信号を生成する。カウンタ信号は、メモリ424のアドレスを指定するカウンタ値を情報として有している。メモリ424には、全ての画素に入力される表示信号の極性についての情報（極性データ）がm通り記憶されている。このm通りの極性データは、メモリ424のアドレスの0番地から（m-1）番地に記憶されている。生成したカウンタ信号のカウンタ値によってメモリ424のアドレスが指定される。

例えばカウンタ値が0だとメモリ回路424のアドレスの0番地が指定され、カウンタ値が1だと1番地が、カウンタ値が2だと2番地が、カウンタ値が $(m-1)$ だと $(m-1)$ 番地がそれぞれ指定される。

【0194】

なおカウンタ値は、0から $(m-1)$ までの値を一通りとったら、再び0から $(m-1)$ までの値をとっていく。つまりメモリ回路424のアドレスが0番地から $(m-1)$ 番地まで一通り指定されたら、再び0番地から $(m-1)$ 番地までの指定が開始される。カウンタ値がとる値に特に順番はなく、0から $(m-1)$ までの値を順にとっても良いし、ランダムにとっても良い。

【0195】

極性データの数 m は2より大きく、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を従来例に比べて抑えることができる大きさであれば良い。極性データの数 m は、大きければ大きいほど観察者に視認されていた画面上のチラツキ、縦縞及び横縞をより抑えることができる。

【0196】

メモリ424のアドレスに記憶されている極性データがカウンタ信号によって指定されると、該極性データを情報として有する極性データ信号が、極性データ信号生成部423において生成される。生成された極性データ信号は交流化信号生成部425に入力される。

【0197】

交流化信号生成部425は、制御部421から入力されたコントロール信号で駆動し、入力された極性データ信号から交流化信号を生成する。交流化信号は、各画素に入力される表示信号の極性を情報として有しており、その波形は交流波形である。生成された交流化信号は階調電圧電源426に入力される。

【0198】

階調電圧電源426において交流化信号が入力されると、交流化信号が有する各画素に入力される表示信号の極性の情報に従って階調電圧線407に入力される階調電圧の値を制御する。階調電圧の値が制御されることでD/A変換回路406から出力されるアナログの表示信号の極性が制御される。

【 0 1 9 9 】

D/A変換回路406から出力されるアナログの表示信号は、各ソース信号線に入力される。

【 0 2 0 0 】

上記構成によって、実施の形態において示したような本願発明の駆動方法が実現される。

【 0 2 0 1 】

なお本実施の形態では、表示信号を形成するための図23で示した階調電圧制御部420及び階調電圧電源426を外付けの回路としてICチップ（単結晶シリコン上に形成されたMOSFETで構成される半導体回路）上に設けている。そして階調電圧制御部420及び階調電圧電源426は、FPC（フレキシブル・プリント・サーキット）を介してアクティブマトリクス基板上に設けられたソース信号線駆動回路及びゲート信号線駆動回路と接続している。ただし、本願発明は上記構成に限られず、上記階調電圧制御部420及び階調電圧電源426と一緒にソース信号線駆動回路もICチップ上に設ける構成としても良い。または上記階調電圧制御部420の一部、または全てをアクティブマトリクス基板上に設けても良い。または上記階調電圧電源426の一部、または全てをアクティブマトリクス基板上に設けても良い。

【 0 2 0 2 】

（実施例5）

本願発明の半導体表示装置の1つである液晶表示装置の作成方法の一例について、図13～図16を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられるソース信号線駆動回路及びゲート信号線駆動回路のTFTを同時に作製する方法について、工程に従って詳細に説明する。

【 0 2 0 3 】

図13（A）において、基板501にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板や石英基板などを用いる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておい

ても良い。そして、基板 5 0 1 の T F T を形成する表面に、基板 5 0 1 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 2 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 5 0 2 a を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm)、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 5 0 2 b を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層して形成する。ここでは下地膜 5 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させて形成しても良い。

【 0 2 0 4 】

酸化窒化シリコン膜 5 0 2 a は平行平板型のプラズマ C V D 法を用いて形成する。酸化窒化シリコン膜 5 0 2 a は、 SiH_4 を 1 0 SCCM、 NH_3 を 1 0 0 SCCM、 N_2O を 2 0 SCCM として反応室に導入し、基板温度 3 2 5 °C、反応圧力 4 0 Pa、放電電力密度 0. 4 1 W/cm²、放電周波数 6 0 MHz とした。一方、酸化窒化水素化シリコン膜 5 0 2 b は、 SiH_4 を 5 SCCM、 N_2O を 1 2 0 SCCM、 H_2 を 1 2 5 SCCM として反応室に導入し、基板温度 4 0 0 °C、反応圧力 2 0 Pa、放電電力密度 0. 4 1 W/cm²、放電周波数 6 0 MHz の条件下で形成した。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することができる。

【 0 2 0 5 】

このようにして作製した酸化窒化シリコン膜 5 0 2 a は、密度が $9. 28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム (NH_4HF_2) を 7. 1 3 % とフッ化アンモニウム (NH_4F) を 1 5. 4 % 含む混合溶液 (ステラケミファ社製、商品名 L A L 5 0 0) の 2 0 °C におけるエッチング速度が約 6 3 nm/min と遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【 0 2 0 6 】

次に、2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで非晶質構造を有する非晶質半導体層 5 0 3 a を、プラズマ C V D 法やスパッタ法などの方法で形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適

用しても良い。プラズマCVD法で非晶質半導体層503aとして非晶質シリコン膜を形成する場合には、下地膜502と非晶質半導体層503aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜502aと酸化窒化水素化シリコン膜502bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜502bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0207】

そして、結晶化の工程を行い非晶質半導体層503aから結晶質半導体層503bを作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラピットサーマルアニール法（RTA法）を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層503bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0208】

また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスに SiH_4 とアルゴン（Ar）を用い、成膜時の基板温度を400～450℃として形成すると、非晶質シリコン膜の含有水素濃度を5atomic%以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0209】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発振型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニー

ルを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を 1 0 0 ~ 5 0 0 mJ/cm² (代表的には 3 0 0 ~ 4 0 0 mJ/cm²) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 % として行う。このようにして図 1 3 (B) に示すように結晶質半導体層 5 0 3 b を得ることができる。

【 0 2 1 0 】

そして、結晶質半導体層 5 0 3 b 上に第 1 のフォトマスク (P M 1) を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図 1 3 (C) に示すように島状半導体層 5 0 4 ~ 5 0 8 を形成する。結晶質シリコン膜のドライエッチングには C F₄ と O₂ の混合ガスを用いる。

【 0 2 1 1 】

このような島状半導体層に対し、T F T のしきい値電圧 (V_{th}) を制御する目的で p 型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、アルミニウム (A l)、ガリウム (G a) など周期律表第 1 3 族の元素が知られている。その方法として、イオン注入法やイオンドーピング法 (或いはイオンシャワードーピング法) を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン (B₂H₆) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 T F T のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【 0 2 1 2 】

ゲート絶縁膜 5 0 9 はプラズマ C V D 法またはスパッタ法を用い、膜厚を 4 0 ~ 1 5 0 nm としてシリコンを含む絶縁膜で形成する。本実施例では、1 2 0 nm の厚さで酸化窒化シリコン膜から形成する。また、S i H₄ と N₂O に O₂ を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。また、S i H₄ と N₂O と H₂ とから作

製する酸化窒化シリコン膜はゲート絶縁膜の界面欠陥密度を低減できるので好ましい。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。(図13(C))

【0213】

そして、図13(D)に示すように、第1の形状のゲート絶縁膜509上にゲート電極を形成するための耐熱性導電層511を200～400nm(好ましくは250～350nm)の厚さで形成する。耐熱性導電層511は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層にはTa、Ti、Wから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良い。本実施例ではW膜を300nmの厚さで形成する。W膜はWをターゲットとしてスパッタ法で形成しても良いし、六フッ化タングステン(WF₆)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0214】

一方、耐熱性導電層 5 1 1 に T a 膜を用いる場合には、同様にスパッタ法で形成することが可能である。T a 膜はスパッタガスに A r を用いる。また、スパッタ時のガス中に適量の X e や K r を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相の T a 膜の抵抗率は $20 \mu \Omega \text{cm}$ 程度でありゲート電極に使用することができるが、β相の T a 膜の抵抗率は $180 \mu \Omega \text{cm}$ 程度でありゲート電極とするには不向きであった。T a N 膜は α 相に近い結晶構造を持つので、T a 膜の下地に T a N 膜を形成すれば α 相の T a 膜が容易に得られる。また、図示しないが、耐熱性導電層 5 1 1 の下に 2 ~ 20 nm 程度の厚さでリン (P) をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層 5 1 1 が微量に含有するアルカリ金属元素が第 1 の形状のゲート絶縁膜 5 0 9 に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層 5 1 1 は抵抗率を $10 \sim 50 \mu \Omega \text{cm}$ の範囲ですることが好ましい。

【 0 2 1 5 】

次に、第 2 のフォトマスク (P M 2) を用い、フォトリソグラフィーの技術を使用してレジストによるマスク 5 1 2 ~ 5 1 7 を形成する。そして、第 1 のエッチング処理を行う。本実施例では I C P エッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、1 Pa の圧力で 3.2 W/cm^2 の R F (13.56 MHz) 電力を投入してプラズマを形成して行う。基板側 (試料ステージ) にも 224 mW/cm^2 の R F (13.56 MHz) 電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件で W 膜のエッチング速度は約 100 nm/min である。第 1 のエッチング処理はこのエッチング速度を基に W 膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を 20 % 増加させた時間をエッチング時間とした。

【 0 2 1 6 】

第 1 のエッチング処理により第 1 のテーパー形状を有する導電層 5 1 8 ~ 5 2 3 が形成される。導電層 5 1 8 ~ 5 2 3 のテーパー部の角度は $15 \sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、10 ~ 20 % 程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとす

る。W膜に対する酸化窒化シリコン膜（第1の形状のゲート絶縁膜509）の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされ第1のテーパ形状を有する導電層518～523の端部近傍にテーパ形状が形成された第2の形状のゲート絶縁膜580が形成される。

【0217】

そして、第1のドーピング処理を行い一導電型の不純物元素を島状半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク512～517をそのまま残し、第1のテーパ形状を有する導電層518～523をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部と第2の形状のゲート絶縁膜580とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を80～160keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いた。このようなイオンドープ法により第1の不純物領域524～528には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加され、テーパ部の下方に形成される第2の不純物領域（A）529～533には同領域内で必ずしも均一ではないが $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。（図14（A））

【0218】

この工程において、第2の不純物領域（A）529～533において、少なくとも第1の形状の導電層518～523と重なった部分に含まれるn型を付与する不純物元素の濃度変化は、テーパ部の膜厚変化を反映する。即ち、第2の不純物領域（A）529～533へ添加されるリン（P）の濃度は、第1の形状の導電層518～523に重なる領域において、該導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン（P）の濃度が変化するためである。

【 0 2 1 9 】

次に、図 1 4 (B) に示すように第 2 のエッチング処理を行う。エッチング処理も同様に I C P エッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、R F 電力 3.2 W/cm^2 (13.56MHz)、バイアス電力 45 mW/cm^2 (13.56MHz)、圧力 1.0 Pa でエッチングを行う。この条件で形成される第 2 の形状を有する導電層 5 4 0 ~ 5 4 5 が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第 1 のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テーパ部の角度は $30 \sim 60^\circ$ となる。マスク 5 1 2 ~ 5 1 7 はエッチングされて端部が削れ、マスク 5 3 4 ~ 5 3 9 となる。また、第 2 の形状のゲート絶縁膜 5 8 0 の表面が 40 nm 程度エッチングされ、新たに第 3 の形状のゲート絶縁膜 5 7 0 が形成される。

【 0 2 2 0 】

そして、第 1 のドーピング処理よりもドーズ量を下げ高加速電圧の条件で n 型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、第 2 の形状を有する導電層 5 4 0 ~ 5 4 5 と重なる領域の不純物濃度を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。このようにして、第 2 の不純物領域 (B) 5 4 6 ~ 5 5 0 を形成する。

【 0 2 2 1 】

そして、p チャネル型 T F T を形成する島状半導体層 5 0 4 、 5 0 6 に一導電型とは逆の導電型の不純物領域 5 5 6 、 5 5 7 を形成する。この場合も第 2 の形状の導電層 5 4 0 、 5 4 2 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する島状半導体層 5 0 5 、 5 0 7 、 5 0 8 は、第 3 のフォトマスク (P M 3) を用いてレジストのマスク 5 5 1 ~ 5 5 3 を形成し全面を被覆しておく。ここで形成される不純物領域 5 5 6 、 5 5 7 はジボラン (B_2H_6) を用いたイオンドープ法で形成する。不純物領域 5 5 6 、 5 5 7 の p 型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【 0 2 2 2 】

しかしながら、この不純物領域 5 5 6、5 5 7 は詳細には n 型を付与する不純物元素を含有する 3 つの領域に分けて見ることができる。第 3 の不純物領域 5 5 6 a、5 5 7 a は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で n 型を付与する不純物元素を含み、第 4 の不純物領域 (A) 5 5 6 b、5 5 7 b は $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で n 型を付与する不純物元素を含み、第 4 の不純物領域 (B) 5 5 6 c、5 5 7 c は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度で n 型を付与する不純物元素を含んでいる。しかし、これらの不純物領域 5 5 6 b、5 5 6 c、5 5 7 b、5 5 7 c の p 型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようにし、第 3 の不純物領域 5 5 6 a、5 5 7 a においては、p 型を付与する不純物元素の濃度を n 型を付与する不純物元素の濃度の 1.5 から 3 倍となるようにすることにより、第 3 の不純物領域で p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。また、第 4 の不純物領域 (B) 5 5 6 c、5 5 7 c は一部が第 2 のテーパ形状を有する導電層 5 4 0 または 5 4 2 と一部が重なって形成される。

【 0 2 2 3 】

その後、図 1 5 (A) に示すように、第 2 の形状を有する導電層 5 4 0 ~ 5 4 5 およびゲート絶縁膜 5 7 0 上に第 1 の層間絶縁膜 5 5 8 を形成する。第 1 の層間絶縁膜 5 5 8 は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第 1 の層間絶縁膜 5 5 8 は無機絶縁物材料から形成する。第 1 の層間絶縁膜 5 5 8 の膜厚は 1 0 0 ~ 2 0 0 nm とする。第 1 の層間絶縁膜 5 5 8 として酸化シリコン膜を用いる場合には、プラズマ C V D 法で T E O S と O_2 とを混合し、反応圧力 4 0 Pa、基板温度 3 0 0 ~ 4 0 0 °C とし、高周波 (1 3 . 5 6 MHz) 電力密度 0 . 5 ~ 0 . 8 W/cm² で放電させて形成することができる。また、第 1 の層間絶縁膜 5 5 8 として酸化窒化シリコン膜を用いる場合には、プラズマ C V D 法で S i H₄、N₂O、N H₃ から作製される酸化窒化シリコン膜、または S i H₄、N₂O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 2 0 ~ 2 0 0 Pa、基板温度 3 0 0 ~ 4 0 0 °C とし、高周波 (6 0 MHz) 電力密度 0 .

1 ~ 1. 0 W/cm²で形成することができる。また、第 1 の層間絶縁膜 5 5 8 として Si H₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ C V D 法で Si H₄、N H₃から作製することが可能である。

【 0 2 2 4 】

そして、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（R T A 法）を適用することができる。熱アニール法では酸素濃度が 1 p p m 以下、好ましくは 0. 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 5 0 °C で 4 時間の熱処理を行った。また、基板 5 0 1 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【 0 2 2 5 】

活性化の工程に続いて、雰囲気ガスを変化させ、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある 1 0¹⁶ ~ 1 0¹⁸/cm³ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。いずれにしても、島状半導体層 5 0 4 ~ 5 0 8 中の欠陥密度を 1 0¹⁶/cm³ 以下とすることが望ましく、そのために水素を 0. 0 1 ~ 0. 1 atomic % 程度付与すれば良い。

【 0 2 2 6 】

そして、有機絶縁物材料からなる第 2 の層間絶縁膜 5 5 9 を 1. 0 ~ 2. 0 μ m の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、B C B（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで 3 0 0 °C で焼成して形成する。また、アクリルを用いる場合には、2 液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて

基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオーブンで250℃で60分焼成して形成することができる。

【0227】

このように、第2の層間絶縁膜559を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜558として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0228】

その後、第4のフォトマスク（PM4）を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜559をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜558をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第3の形状のゲート絶縁膜570をエッチングすることによりコンタクトホールを形成することができる。

【0229】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスク（PM5）によりレジストマスクパターンを形成し、エッチングによってソース線560～564とドレイン線565～568を形成する。画素電極569はドレイン線と一緒に形成される。画素電極571は隣の画素に帰属する画素電極を表している。図示していないが、本実施例ではこの配線を、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する不純物領域とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成し、さらにその上に透明導電膜を80～120nmの厚さで形成した。透明導電膜には酸化インジウム酸化亜鉛合金（ In_2O_3 —

ZnO)、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛(ZnO:Ga)などを好適に用いることができる。

【0230】

こうして5枚のフォトマスクにより、同一の基板上に、駆動回路(ソース信号線駆動回路及びゲート信号線駆動回路)のTFETと、画素部の画素TFETとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFET600、第1のnチャネル型TFET601、第2のpチャネル型TFET602、第2のnチャネル型TFET603、画素部には画素TFET604、保持容量605が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0231】

第1のpチャネル型TFET600には、第2のテーパー形状を有する導電層がゲート電極620としての機能を有し、島状半導体層504にチャンネル形成領域606、ソース領域またはドレイン領域として機能する第3の不純物領域607a、ゲート電極620と重ならないLDD領域を形成する第4の不純物領域(A)607b、一部がゲート電極620と重なるLDD領域を形成する第4の不純物領域(B)607cを有する構造となっている。

【0232】

第1のnチャネル型TFET601には、第2のテーパー形状を有する導電層がゲート電極621としての機能を有し、島状半導体層505にチャンネル形成領域608、ソース領域またはドレイン領域として機能する第1の不純物領域609a、ゲート電極621と重ならないLDD領域を形成する第2の不純物領域(A)609b、一部がゲート電極621と重なるLDD領域を形成する第2の不純物領域(B)609cを有する構造となっている。チャンネル長2~7 μ mに対して、第2の不純物領域(B)609cがゲート電極621と重なる部分の長さは0.1~0.3 μ mとする。このLovの長さはゲート電極621の厚さとテーパー部の角度から制御する。nチャネル型TFETにおいてこのようなLDD領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキ

キャリアの発生を防ぎ、T F T の劣化を防止することができる。

【 0 2 3 3 】

駆動回路の第 2 の p チャンネル型 T F T 6 0 2 は同様に、第 2 のテーパ形状を有する導電層がゲート電極 6 2 2 としての機能を有し、島状半導体層 5 0 6 にチャンネル形成領域 6 1 0、ソース領域またはドレイン領域として機能する第 3 の不純物領域 6 1 1 a、ゲート電極 6 2 2 と重ならない L D D 領域を形成する第 4 の不純物領域 (A) 6 1 1 b、一部がゲート電極 6 2 2 と重なる L D D 領域を形成する第 4 の不純物領域 (B) 6 1 1 c を有する構造となっている。

【 0 2 3 4 】

駆動回路の第 2 の n チャンネル型 T F T 6 0 3 には、第 2 のテーパ形状を有する導電層がゲート電極 6 2 3 としての機能を有し、島状半導体層 5 0 7 にチャンネル形成領域 6 1 2、ソース領域またはドレイン領域として機能する第 1 の不純物領域 6 1 3 a、ゲート電極 6 2 3 と重ならない L D D 領域を形成する第 2 の不純物領域 (A) 6 1 3 b、一部がゲート電極 6 2 3 と重なる L D D 領域を形成する第 2 の不純物領域 (B) 6 1 3 c を有する構造となっている。第 2 の n チャンネル型 T F T 6 0 1 と同様に第 2 の不純物領域 (B) 6 1 3 c がゲート電極 6 2 3 と重なる部分の長さは 0. 1 ~ 0. 3 μ m とする。

【 0 2 3 5 】

駆動回路はシフトレジスタ、バッファ等のロジック回路やアナログスイッチで形成されるサンプリング回路などを有している。図 1 5 (B) ではこれらを形成する T F T を一対のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造で示したが、複数のゲート電極を一対のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【 0 2 3 6 】

画素 T F T 6 0 4 には、第 2 のテーパ形状を有する導電層がゲート電極 6 2 4 としての機能を有し、島状半導体層 5 0 8 にチャンネル形成領域 6 1 4 a、6 1 4 b、ソース領域またはドレイン領域として機能する第 1 の不純物領域 6 1 5 a、6 1 7、ゲート電極 6 2 4 と重ならない L D D 領域を形成する第 2 の不純物領域 (A) 6 1 5 b、一部がゲート電極 6 2 4 と重なる L D D 領域を形成する第 2

の不純物領域（B）615cを有する構造となっている。第2の不純物領域（B）613cがゲート電極624と重なる部分の長さは0.1～0.3 μ mとする。また、第1の不純物領域617から延在し、第2の不純物領域（A）619b、第2の不純物領域（B）619c、導電型を決定する不純物元素が添加されていない領域618を有する半導体層と、第3の形状を有するゲート絶縁膜と同層で形成される絶縁層と、第2のテーパー形状を有する導電層から形成される容量配線625から保持容量605が形成されている。

【0237】

画素TFT604のゲート電極624はゲート絶縁膜570を介してその下の島状半導体層508と交差し、さらに複数の島状半導体層に跨って延在してゲート信号線を兼ねている。保持容量605は、画素TFT604のドレイン領域627から延在する半導体層とゲート絶縁膜570を介して容量配線625が重なる領域で形成されている。この構成において半導体層618には、価電子制御を目的とした不純物元素は添加されていない。

【0238】

以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体表示装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電型を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0239】

アクティブマトリクス型の液晶表示装置の場合、第1のpチャネル型TFT600と第1のnチャネル型TFT601は高速動作を重視するシフトレジスタ、バッファ、レベルシフトなどを形成するのに用いる。図15（B）ではこれらの回路をロジック回路部として表している。第1のnチャネル型TFT601の第2の不純物領域（B）609cはホットキャリア対策を重視した構造となってい

る。さらに、耐圧を高め動作を安定化させるために、ロジック回路部のTFTを一对のソース・ドレイン間に2つのゲート電極を設けたダブルゲート構造にしても良い。ダブルゲート構造のTFTは本実施例の工程を用いて同様に作製できる。

【0240】

また、アナログスイッチで構成するサンプリング回路には、ロジック回路部と同様な構成の第2のpチャネル型TFT602と第2のnチャネル型TFT603を適用することができる。サンプリング回路はホットキャリア対策と低オフ電流動作が重視されるので、サンプリング回路部の第2のpチャネル型TFT602を、一对のソース領域・ドレイン領域間に3つのゲート電極を設けたトリプルゲート構造にしても良く、このようなTFTは本実施例の工程を用いて同様に作製できる。チャネル長は3～7 μm として、ゲート電極と重なるLDD領域をL_{ov}としてそのチャネル長方向の長さは0.1～0.3 μm とする。

【0241】

このように、TFTのゲート電極の構成をシングルゲート構造とするか、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造とするかは、回路の特性に応じて実施者が適宜選択すれば良い。

【0242】

次に、図16(A)に示すように、図15(B)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどを用いて、150～200℃で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに

具体的には、高さを $1.2 \sim 5 \mu\text{m}$ とし、平均半径を $5 \sim 7 \mu\text{m}$ 、平均半径と底部の半径との比を1対1.5とする。このとき側面のテーパ角は $\pm 15^\circ$ 以下とする。

【0243】

スペーサの配置は任意に決定すれば良いが、好ましくは、図16(A)で示すように、画素部においては画素電極569のコンタクト部631と重ねてその部分を覆うように柱状スペーサ656を形成すると良い。コンタクト部631は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部631にスペーサ用の樹脂を充填する形で柱状スペーサ656を形成することでディスクリネーションなどを防止することができる。また、駆動回路のTFT上にもスペーサ655a～655eを形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図16(A)で示すようにソース線およびドレイン線を覆うようにして設けても良い。

【0244】

その後、配向膜657を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ656の端部からラビング方向に対してラビングされない領域が $2 \mu\text{m}$ 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上に形成したスペーサ655a～655eにより静電気からTFTを保護する効果を得ることができる。また図には示さないが、配向膜657を先に形成してから、スペーサ656、655a～655eを形成した構成としても良い。

【0245】

対向側の対向基板651には、遮光膜652、透明導電膜653および配向膜654を形成する。遮光膜652はTi膜、Cr膜、Al膜などを $150 \sim 300 \text{nm}$ の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤658で貼り合わせる。シール剤658にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ656、65

5 a ~ 6 5 5 e によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 6 5 9 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 1 6 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

【0 2 4 6】

本願発明の半導体表示装置の作製方法は、本実施例において説明した作製方法に限定されない。本願発明の半導体表示装置は公知の方法を用いて作成することが可能である。

【0 2 4 7】

なお本実施例は、実施例 1 ~ 4 と自由に組み合わせることが可能である。

【0 2 4 8】

(実施例 6)

本願発明は様々な液晶パネルに用いることができる。即ち、それら液晶パネル(アクティブマトリクス型液晶ディスプレイ)を表示媒体として組み込んだ半導体表示装置(電子機器)全てに本願発明を実施できる。

【0 2 4 9】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図 1 7 に示す。

【0 2 5 0】

図 1 7 (A) はディスプレイであり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3 等を含む。本願発明は表示部 2 0 0 3 に適用することができる。

【0 2 5 1】

図 1 7 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入

力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明を表示部 2 1 0 2 に適用することができる。

【 0 2 5 2 】

図 1 7 (C) は頭部取り付け型のディスプレイの一部 (右片側) であり、本体 2 2 0 1、信号ケーブル 2 2 0 2、頭部固定バンド 2 2 0 3、スクリーン部 2 2 0 4、光学系 2 2 0 5、表示部 2 2 0 6 等を含む。本願発明は表示部 2 2 0 6 に適用できる。

【 0 2 5 3 】

図 1 7 (D) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2 3 0 1、記録媒体 (DVD 等) 2 3 0 2、操作スイッチ 2 3 0 3、表示部 (a) 2 3 0 4、表示部 (b) 2 3 0 5 等を含む。表示部 (a) 2 3 0 4 は主として画像情報を表示し、表示部 (b) 2 3 0 5 は主として文字情報を表示するが、本願発明の半導体表示装置はこれら表示部 (a)、(b) 2 3 0 4、2 3 0 5 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 2 5 4 】

図 1 7 (E) はパーソナルコンピュータであり、本体 2 4 0 1、映像入力部 2 4 0 2、表示部 2 4 0 3、キーボード 2 4 0 4 で構成される。本願発明を映像入力部 2 4 0 2、表示部 2 4 0 3 に適用することができる。

【 0 2 5 5 】

図 1 7 (F) はゴーグル型ディスプレイであり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 で構成される。本願発明は表示部 2 5 0 2 に適用することができる。

【 0 2 5 6 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 5 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 5 7 】

(実施例 7)

本願発明はプロジェクター（リア型またはフロント型）に適用することができる。それらの一例を図 1 8 及び図 1 9 に示す。

【 0 2 5 8 】

図 1 8 （ A ） はフロント型プロジェクターであり、光源光学系及び表示装置 7 6 0 1、スクリーン 7 6 0 2 で構成される。本願発明は表示装置 7 6 0 1 に適用することができる。

【 0 2 5 9 】

図 1 8 （ B ） はリア型プロジェクターであり、本体 7 7 0 1、光源光学系及び表示装置 7 7 0 2、ミラー 7 7 0 3、ミラー 7 7 0 4、スクリーン 7 7 0 5 で構成される。本願発明は表示装置 7 7 0 2 に適用することができる。

【 0 2 6 0 】

なお、図 1 8 （ C ） は、図 1 8 （ A ） 及び図 1 8 （ B ） 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 の構造の一例を示した図である。光源光学系及び表示装置 7 6 0 1、7 7 0 2 は、光源光学系 7 8 0 1、ミラー 7 8 0 2、7 8 0 4 ～ 7 8 0 6、ダイクロイックミラー 7 8 0 3、光学系 7 8 0 7、表示装置 7 8 0 8、位相差板 7 8 0 9、投射光学系 7 8 1 0 で構成される。投射光学系 7 8 1 0 は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置 7 8 0 8 を三つ使用しているため三板式と呼ばれている。また、図 1 8 （ C ） 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等を設けてもよい。

【 0 2 6 1 】

また、図 1 8 （ D ） は、図 1 8 （ C ） 中における光源光学系 7 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 7 8 0 1 は、リフレクター 7 8 1 1、光源 7 8 1 2、レンズアレイ 7 8 1 3、7 8 1 4、偏光変換素子 7 8 1 5、集光レンズ 7 8 1 6 で構成される。なお、図 1 8 （ D ） に示した光源光学系は一例であって、この構成に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等を設けてもよい。

【 0 2 6 2 】

図 1 8 (C) は三板式の例を示したが、図 1 9 (A) は単板式の一例を示した図である。図 1 9 (A) に示した光源光学系及び表示装置は、光源光学系 7 9 0 1、表示装置 7 9 0 2、投射光学系 7 9 0 3、位相差板 7 9 0 4 で構成される。投射光学系 7 9 0 3 は、投射レンズを備えた複数の光学レンズで構成される。図 1 9 (A) に示した光源光学系及び表示装置は図 1 8 (A) 及び図 1 8 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。また、光源光学系 7 9 0 1 は図 1 8 (D) に示した光源光学系を用いればよい。なお、表示装置 7 9 0 2 にはカラーフィルター（図示しない）が設けられており、表示映像をカラー化している。

【 0 2 6 3 】

また、図 1 9 (B) に示した光源光学系及び表示装置は、図 1 9 (A) の応用例であり、カラーフィルターを設ける代わりに、RGB の回転カラーフィルター円板 7 9 0 5 を用いて表示映像をカラー化している。図 1 9 (B) に示した光源光学系及び表示装置は図 1 8 (A) 及び図 1 8 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。

【 0 2 6 4 】

また、図 1 9 (C) に示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置 7 9 1 6 にマイクロレンズアレイ 7 9 1 5 を設け、ダイクロイックミラー（緑）7 9 1 2、ダイクロイックミラー（赤）7 9 1 3、ダイクロイックミラー（青）7 9 1 4 を用いて表示映像をカラー化している。投射光学系 7 9 1 7 は、投射レンズを備えた複数の光学レンズで構成される。図 1 9 (C) に示した光源光学系及び表示装置は図 1 8 (A) 及び図 1 8 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。また、光源光学系 7 9 1 1 としては、光源の他に結合レンズ、コリメータレンズを用いた光学系を用いればよい。

【 0 2 6 5 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 5 のどのよう

な組み合わせからなる構成を用いても実現することができる。

【 0 2 6 6 】

【発明の効果】

本願発明は上記構成によって、交流化駆動を行う際に駆動回路の周波数を抑えつつ、観察者に視認されていた画面上のチラツキ、縦縞及び横縞を抑えることができた。そしてなおかつ交流化駆動によって液晶の劣化を抑えることができる。

【図面の簡単な説明】

- 【図 1】 半導体表示装置の上面図、及び画素の配置を示す図。
- 【図 2】 本願発明の駆動方法における画素の極性パターンを示す図。
- 【図 3】 本願発明の駆動方法における表示信号の電位を示す図。
- 【図 4】 本願発明の駆動方法における画素の極性パターンを示す図。
- 【図 5】 本願発明の駆動方法における画素の極性パターンを示す図。
- 【図 6】 本願発明の駆動方法における画素の極性パターンを示す図。
- 【図 7】 本願発明の駆動方法における画素の極性パターンを示す図。
- 【図 8】 本願発明の半導体表示装置の表示信号を生成する表示信号生成部のブロック図。
- 【図 9】 本願発明の半導体表示装置の上面図。
- 【図 1 0】 ソース信号線駆動回路の回路図。
- 【図 1 1】 アナログスイッチ及びレベルシフトの等価回路図。
- 【図 1 2】 本願発明の半導体表示装置の上面図。
- 【図 1 3】 半導体表示装置の作製行程を示す図。
- 【図 1 4】 半導体表示装置の作製行程を示す図。
- 【図 1 5】 半導体表示装置の作製行程を示す図。
- 【図 1 6】 半導体表示装置の作製行程を示す図。
- 【図 1 7】 本願発明を適用した電子機器の図。
- 【図 1 8】 本願発明を適用したプロジェクターの図。
- 【図 1 9】 本願発明を適用したプロジェクターの図。
- 【図 2 0】 アクティブマトリクス型液晶表示装置の上面図、及び画素の配置を示す図。

【図 2 1】 交流化駆動における極性パターンを示す図。

【図 2 2】 従来のフレーム反転駆動のタイミングチャート図。

【図 2 3】 本願発明の半導体表示装置の交流化信号を生成する階調電圧制御部及び階調電圧電源のブロック図。

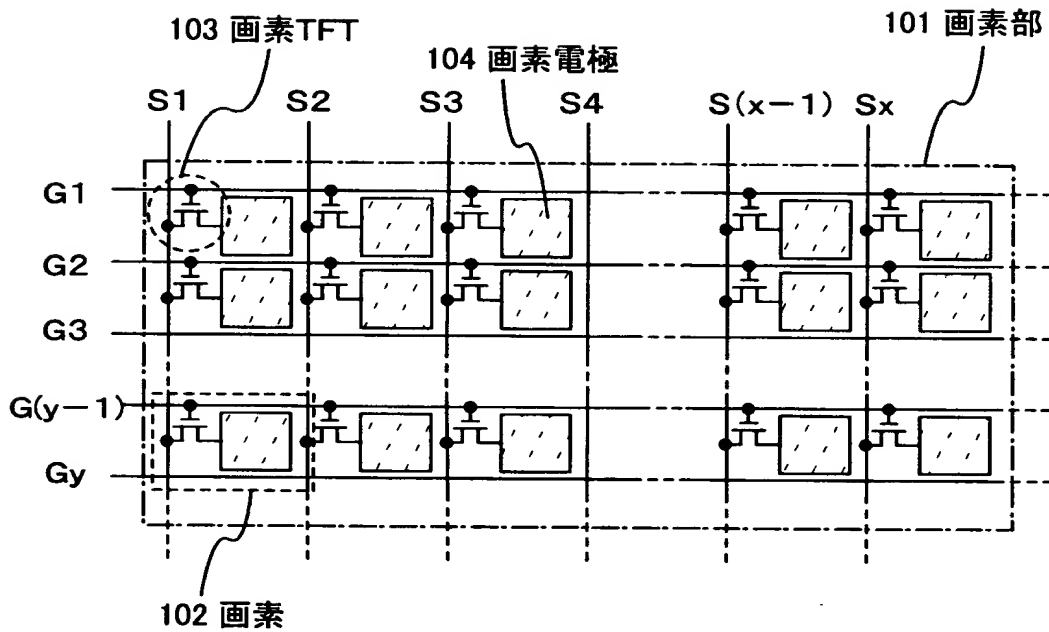
【符号の説明】

- 1 0 1 画素部
- 1 0 2 画素
- 1 0 3 画素 T F T
- 1 0 4 画素電極
- 2 0 0 表示信号生成部
- 2 0 1 制御部
- 2 0 2 アドレスカウンタ
- 2 0 3 極性データ信号生成部
- 2 0 4 メモリ
- 2 0 5 交流化信号生成部
- 2 0 6 表示信号選択部
- 2 0 7 +側表示信号生成部
- 2 0 8 -側表示信号生成部

【書類名】 図面

【図 1】

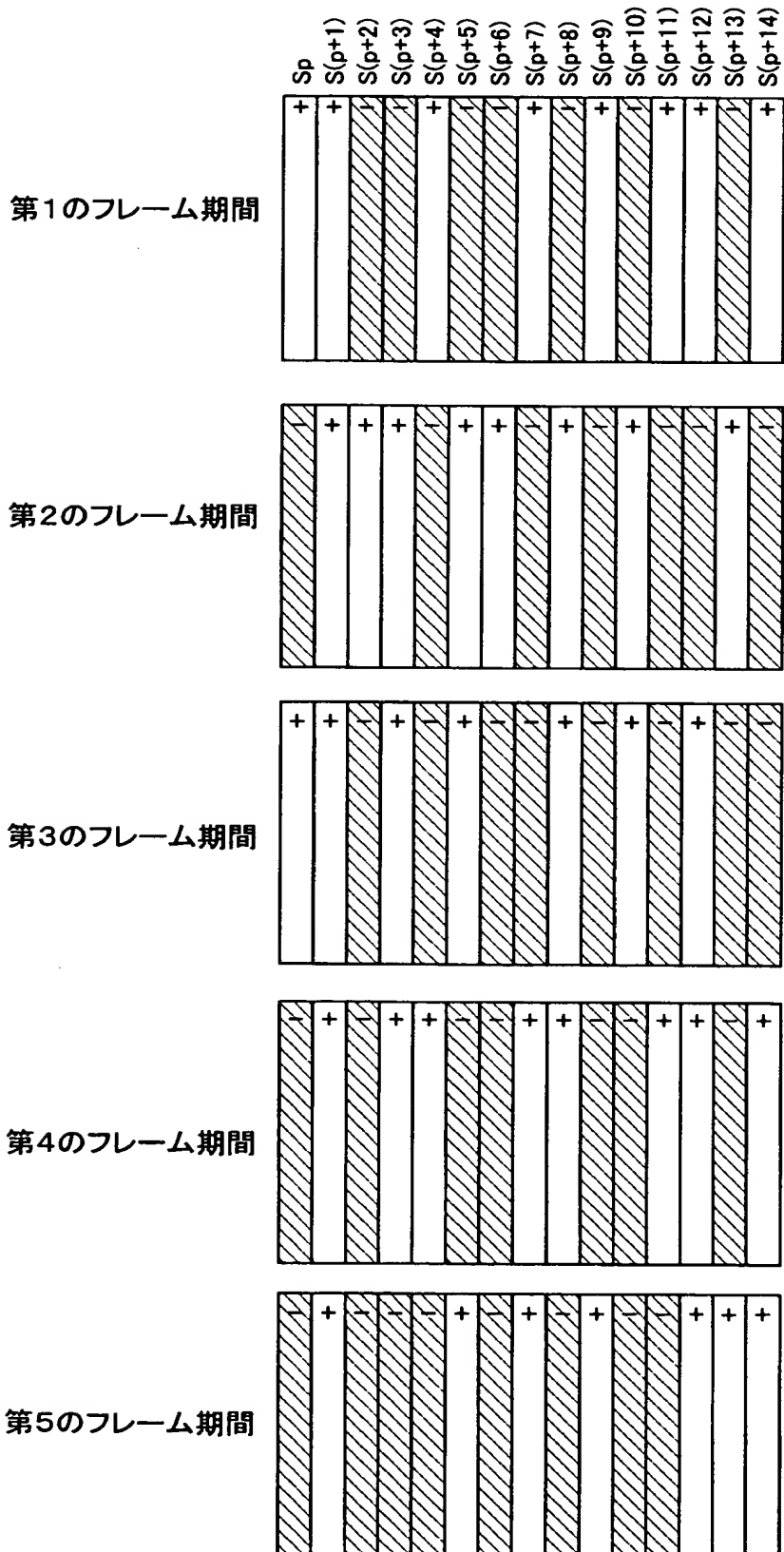
(A)



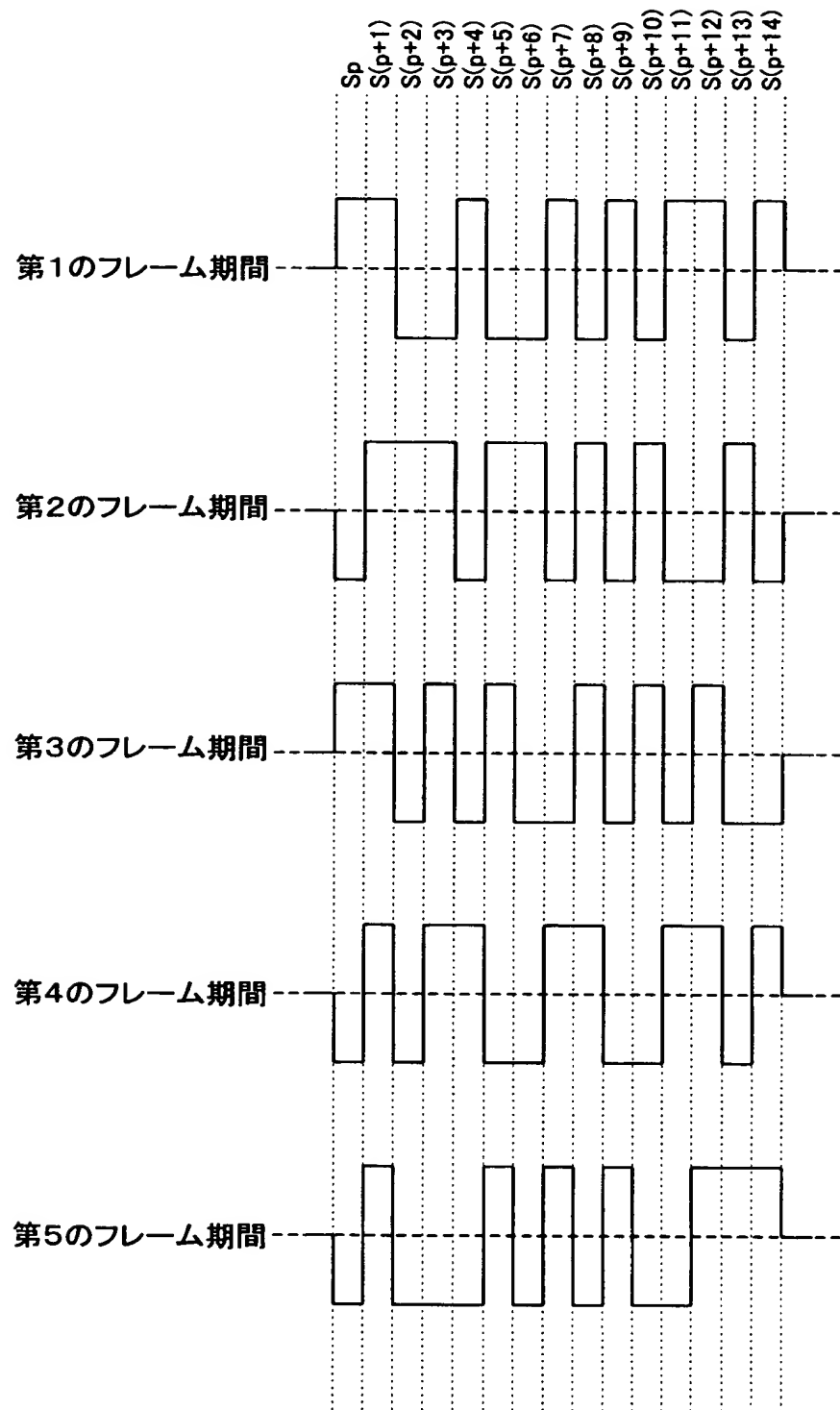
(B)

(1, 1)	(1, 2)	(1, 3)	(1, 4)	(1, 5)		(1, x)
(2, 1)	(2, 2)	(2, 3)	(2, 4)	(2, 5)		(2, x)
(3, 1)	(3, 2)	(3, 3)	(3, 4)	(3, 5)		(3, x)
(y, 1)	(y, 2)	(y, 3)	(y, 4)	(y, 5)		(y, x)

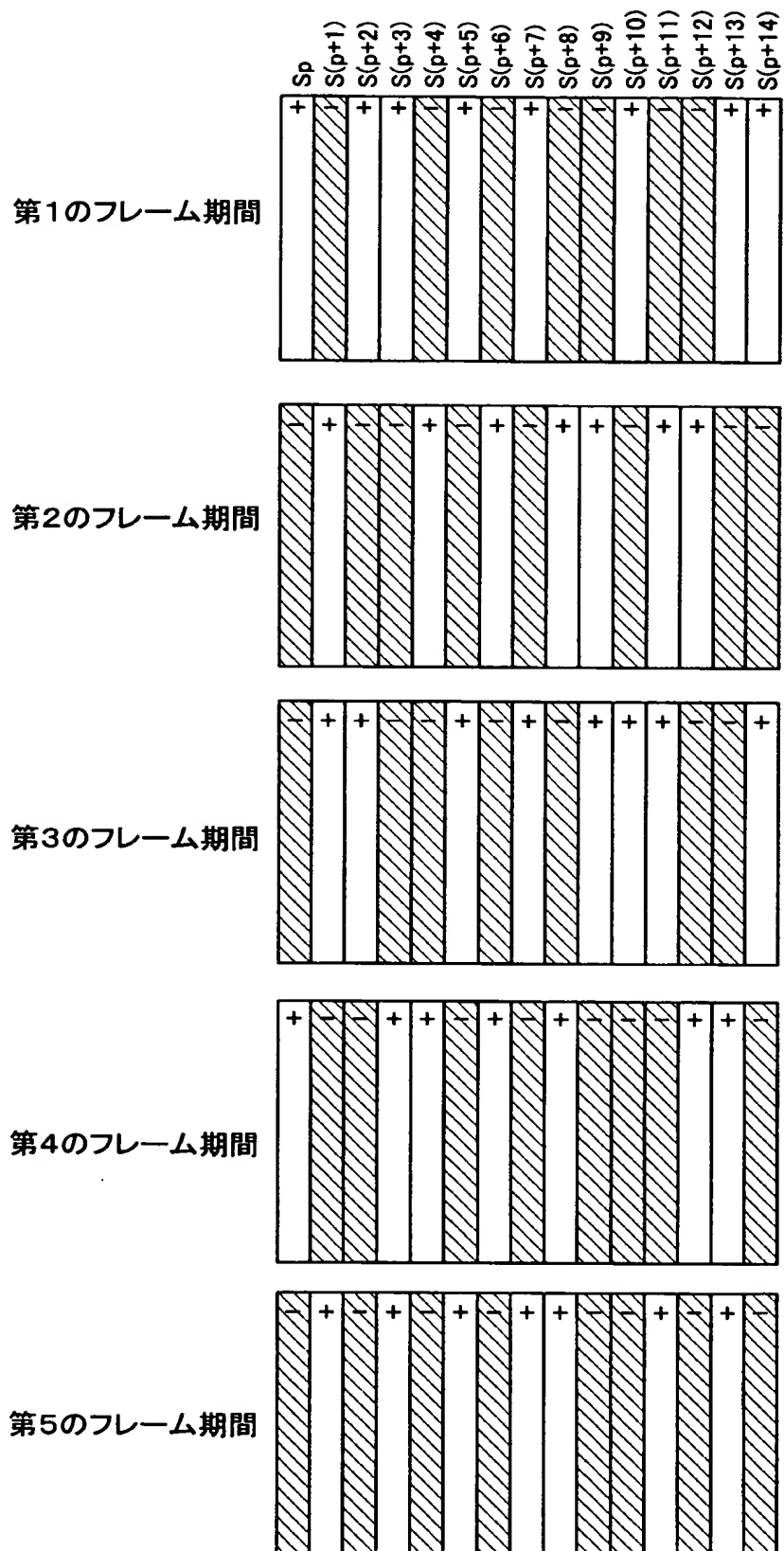
【図 2】



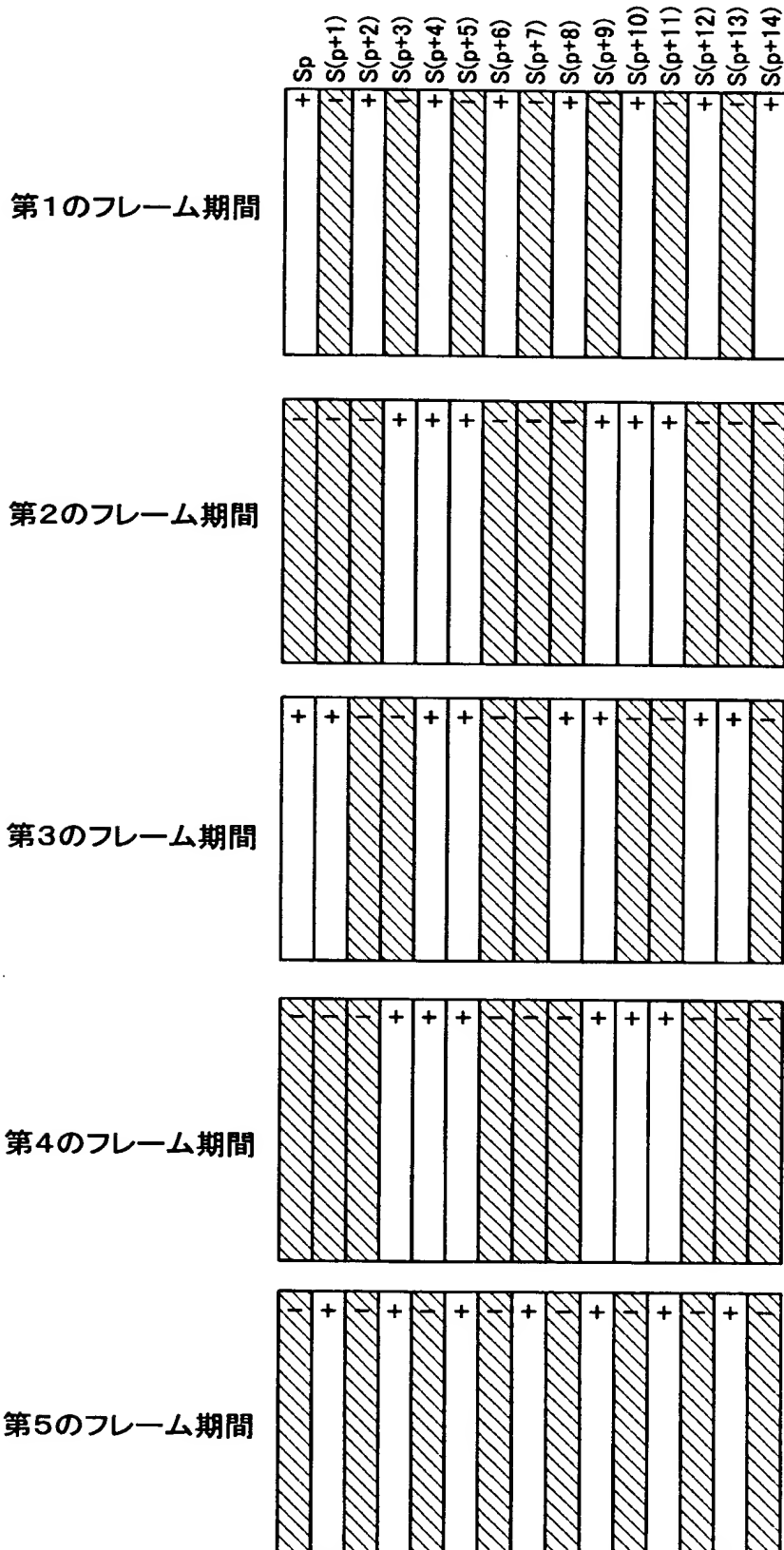
【図 3】



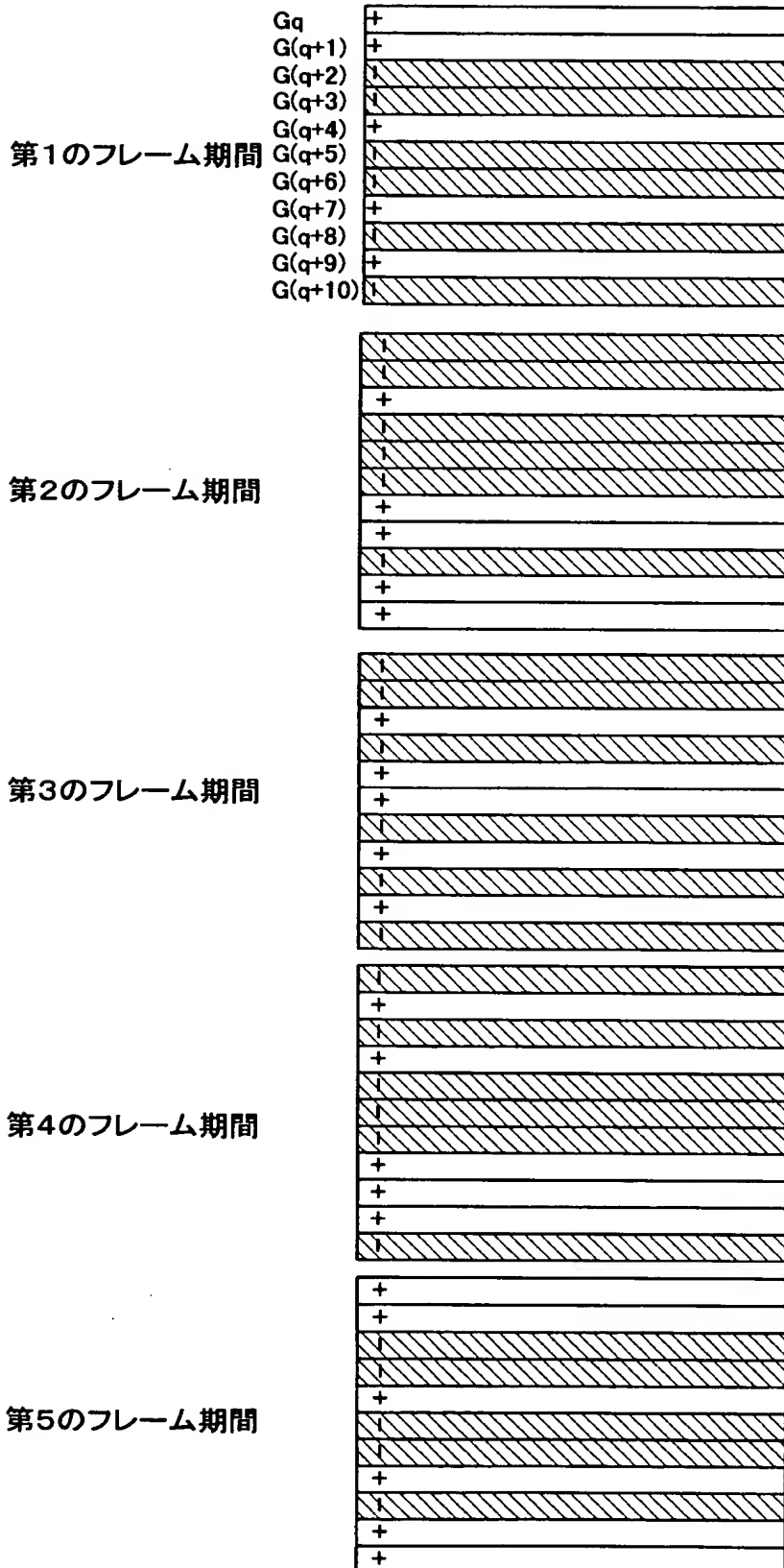
【図 4】



【図 5】



【図 6】



【図 7】

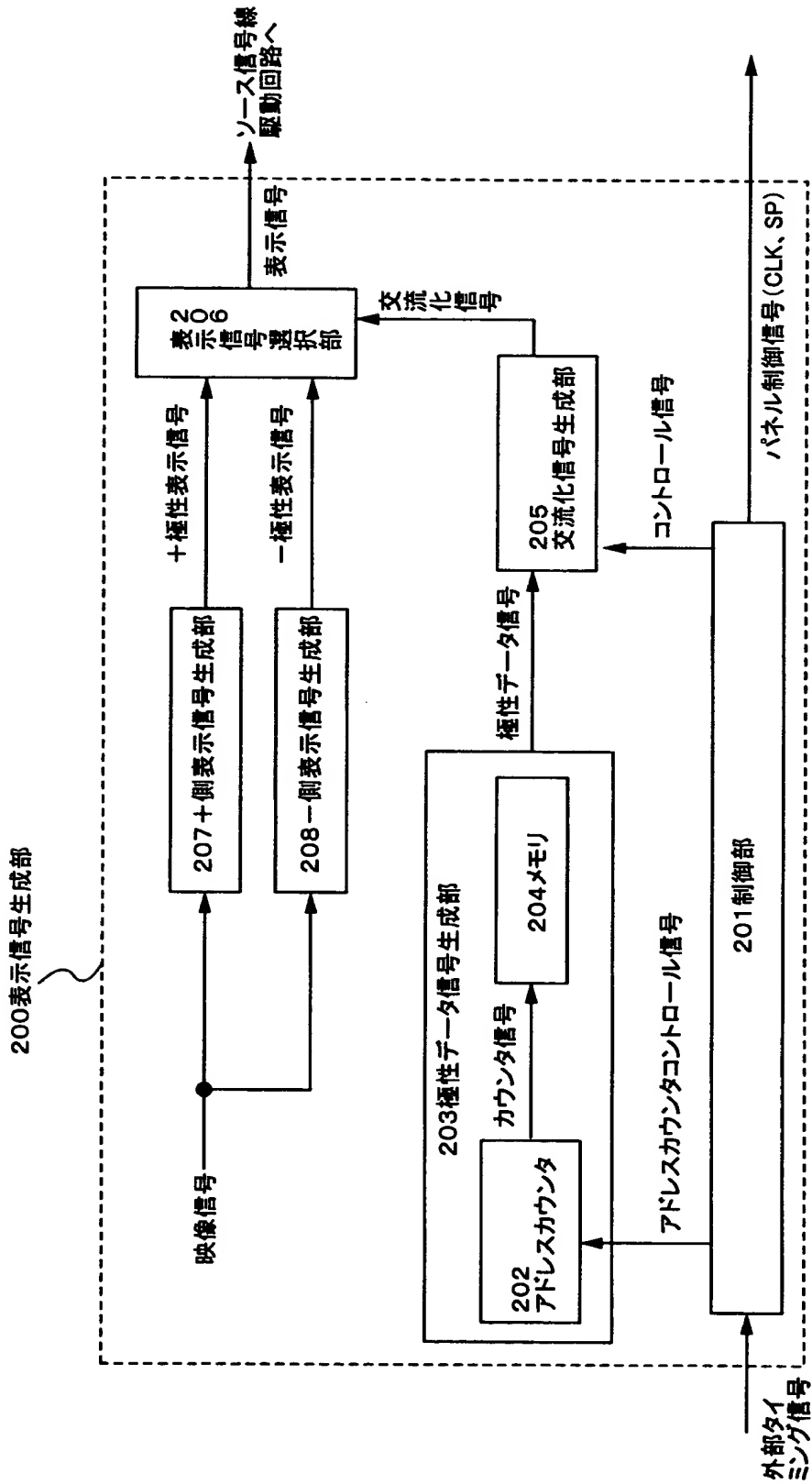
第1のフレイム期間

第2のフレーム期間

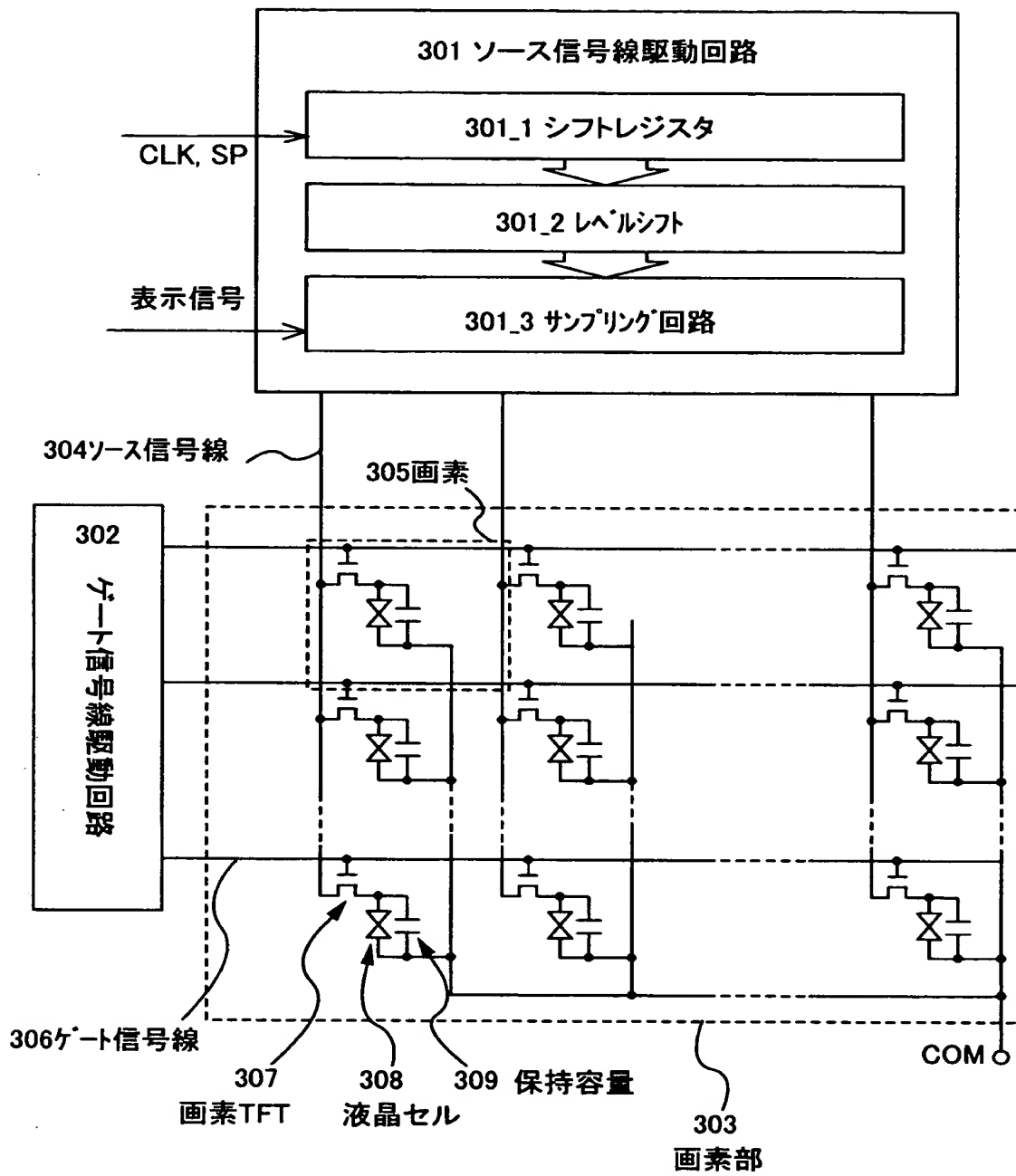
第3のフレーム期間

第4のフレーム期間

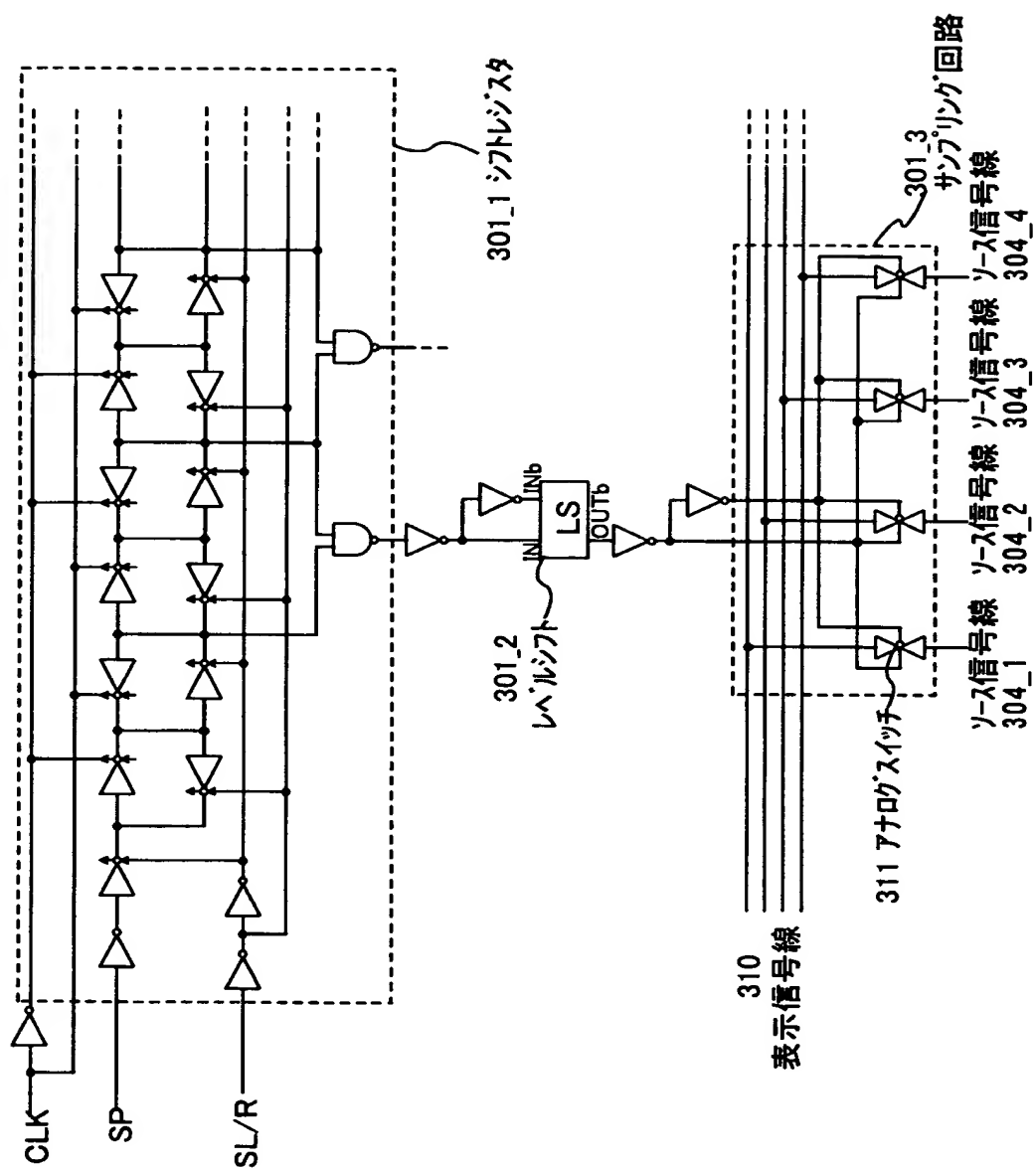
【図 8】



【図 9】

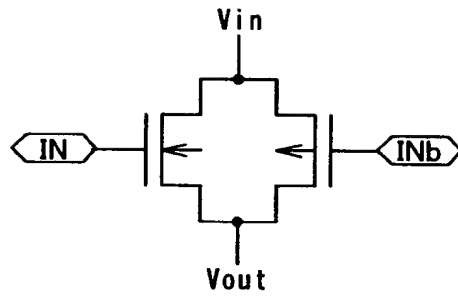


【図 10】

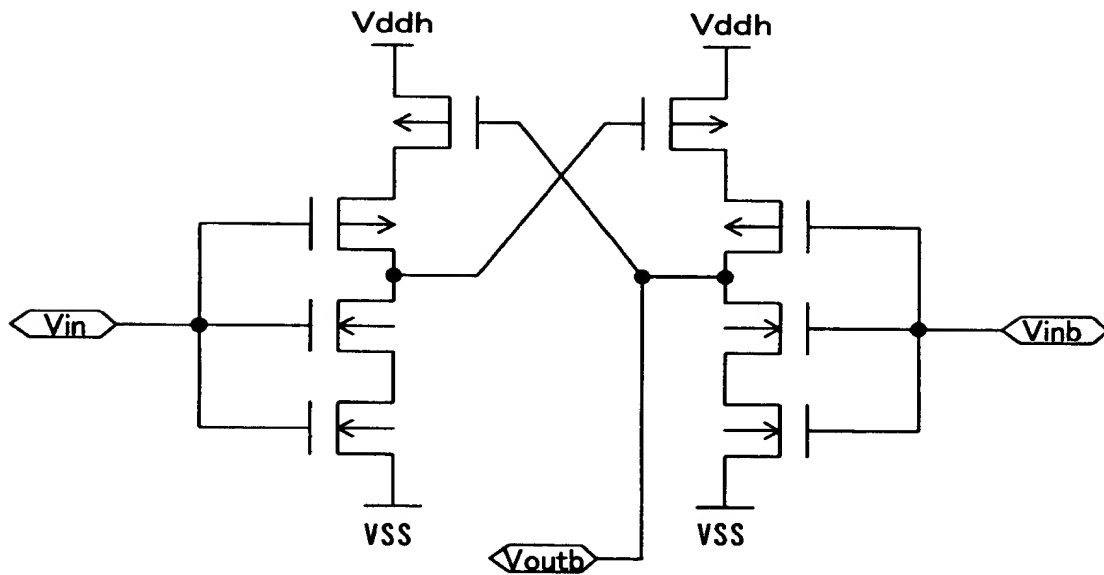


【図 1 1】

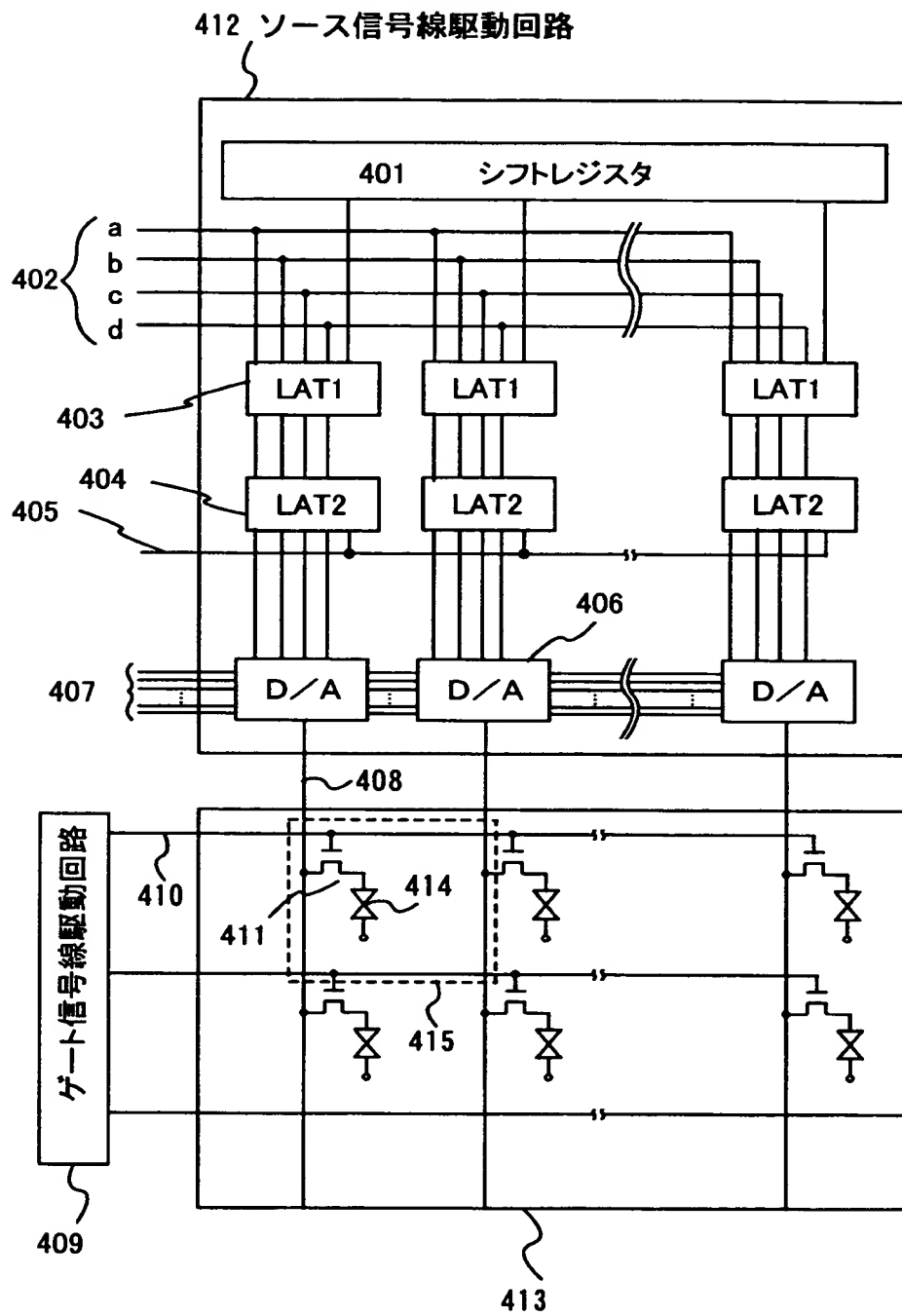
(A)



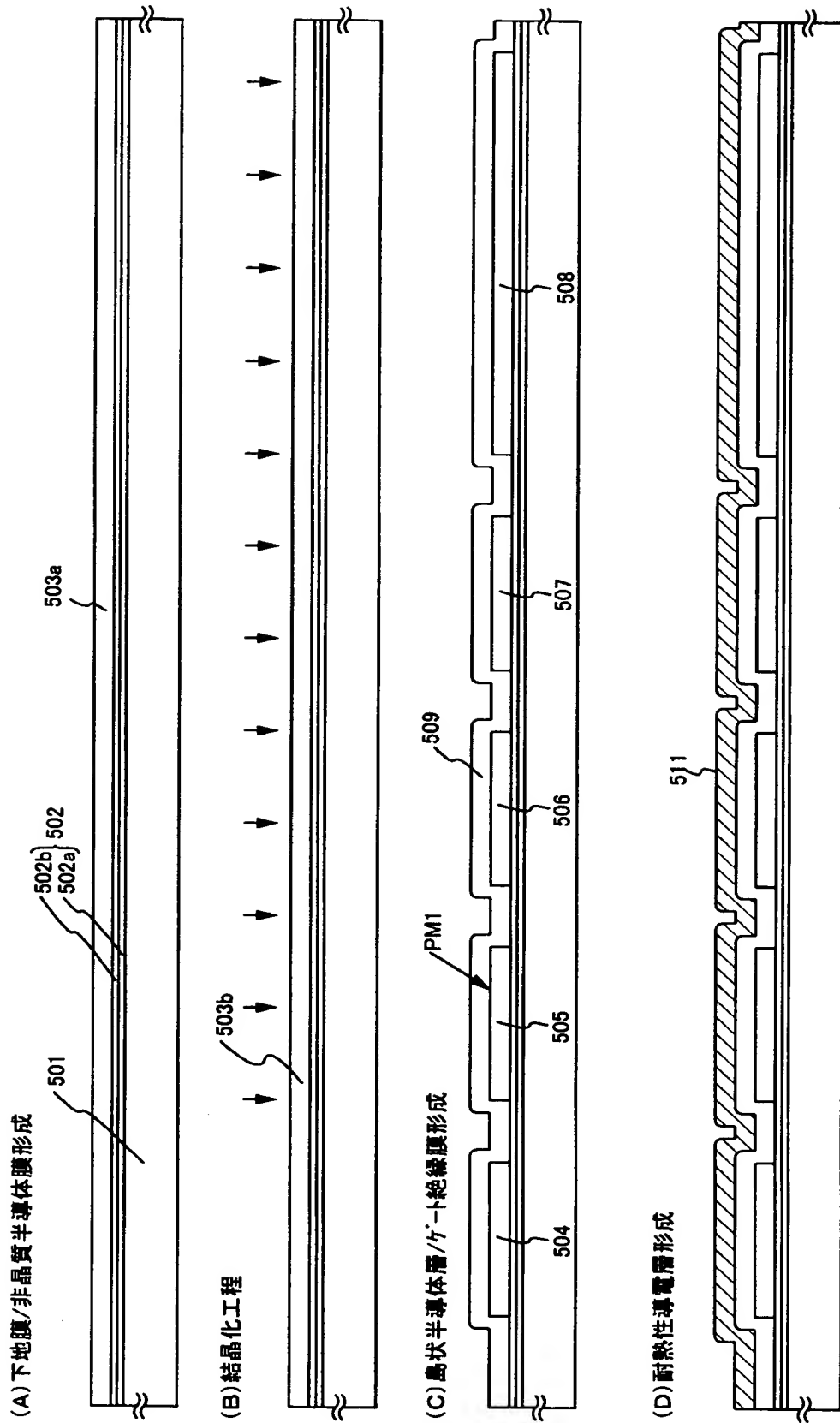
(B)



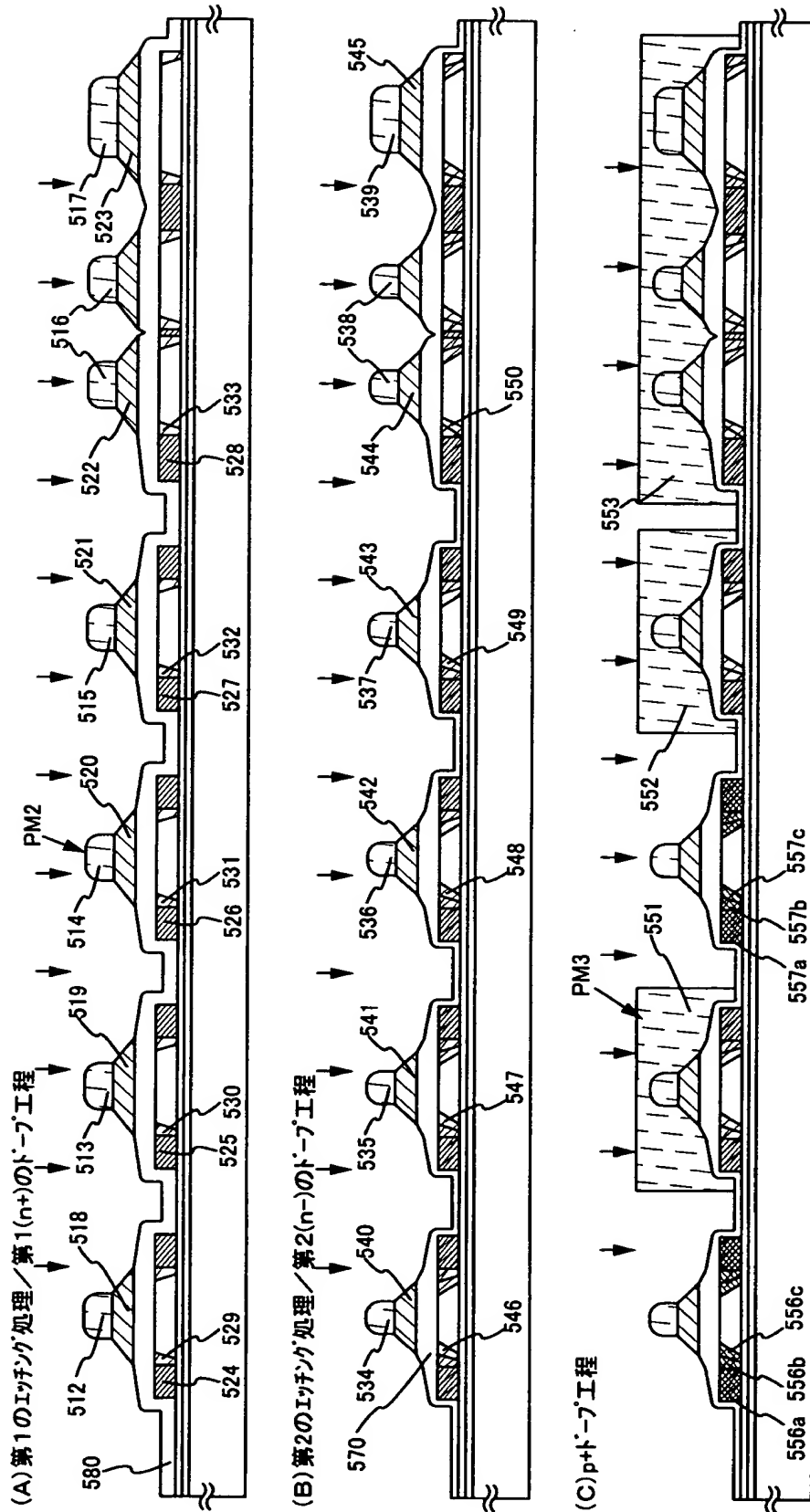
【図 1 2】



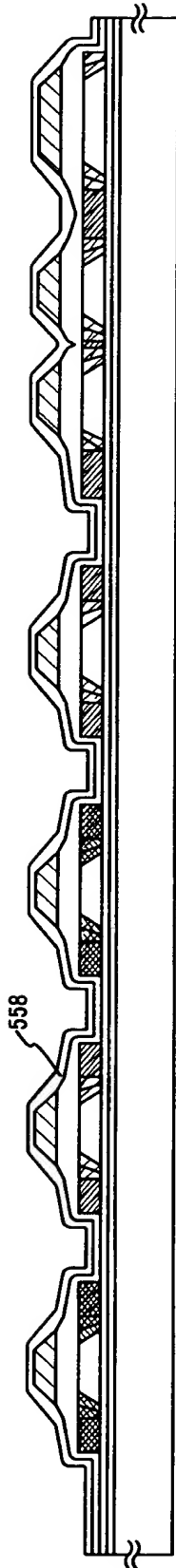
【図 13】



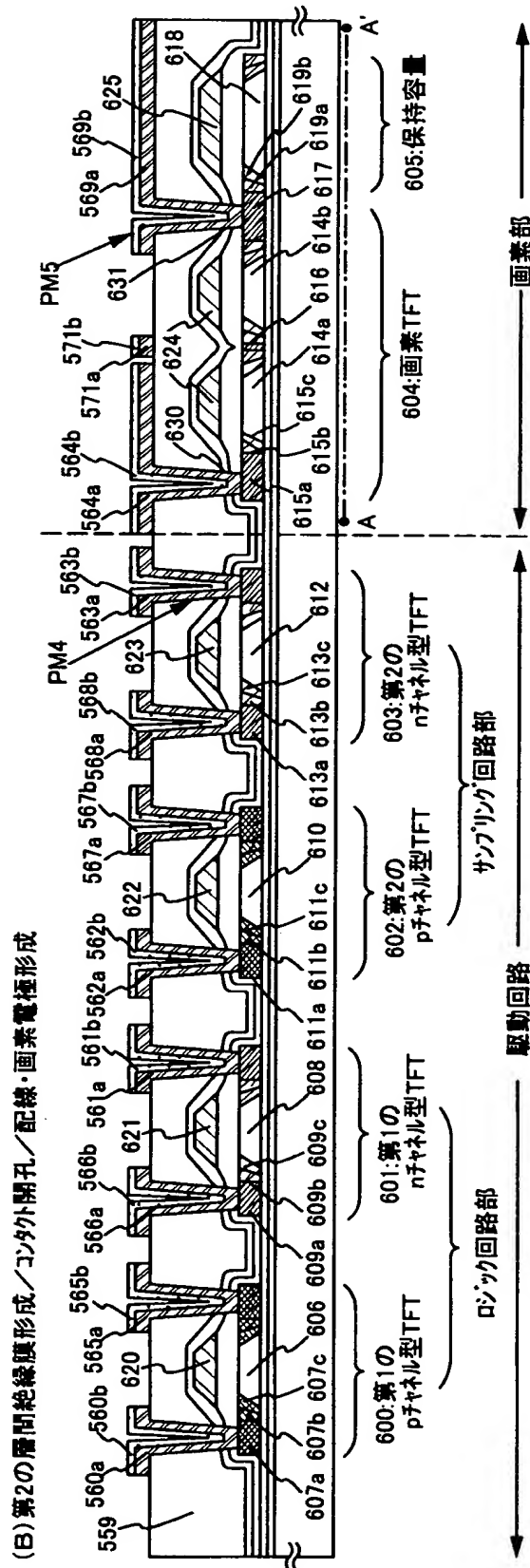
【図 14】



【図 15】

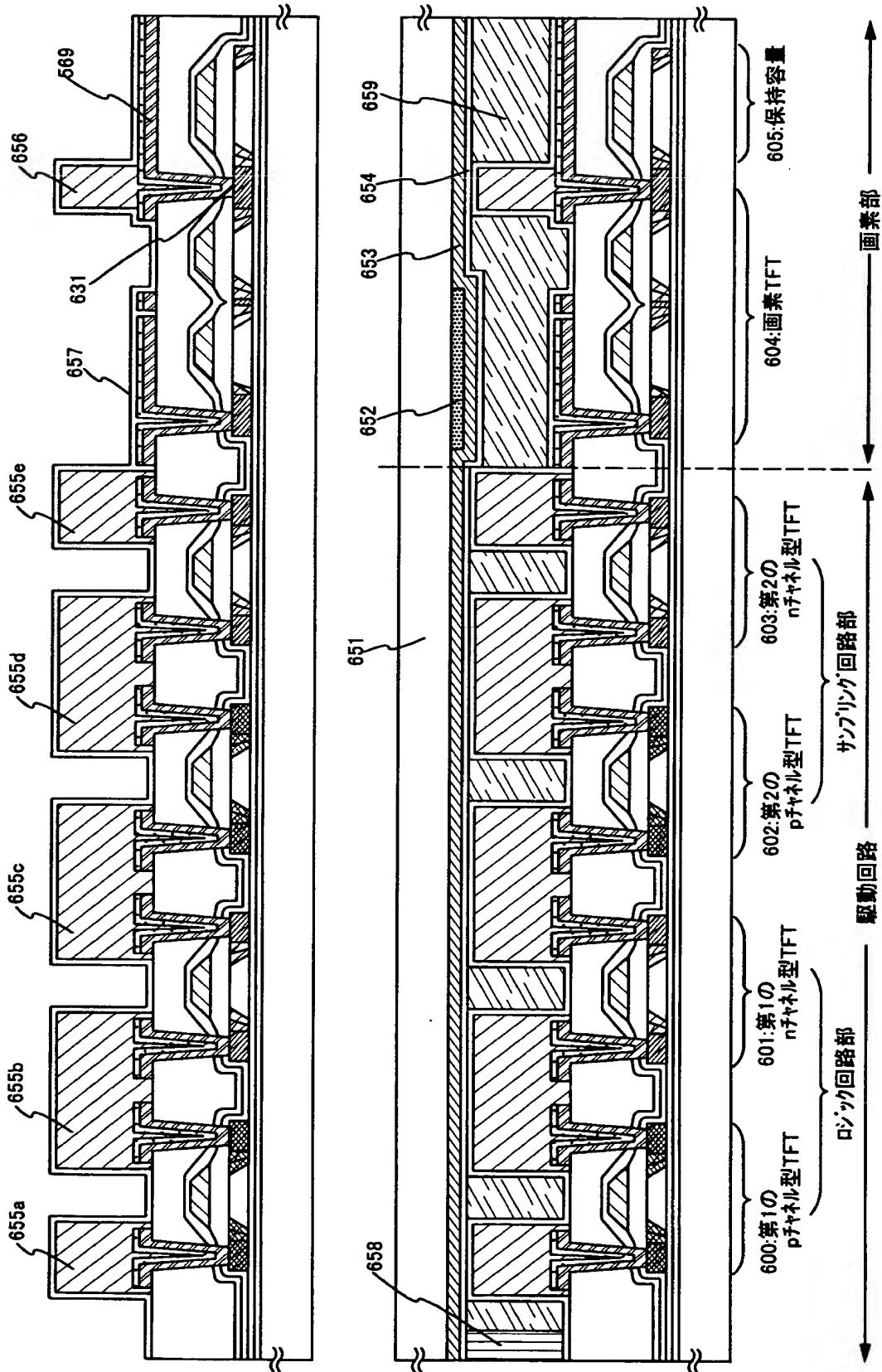


(A)第1の層間絶縁膜形成

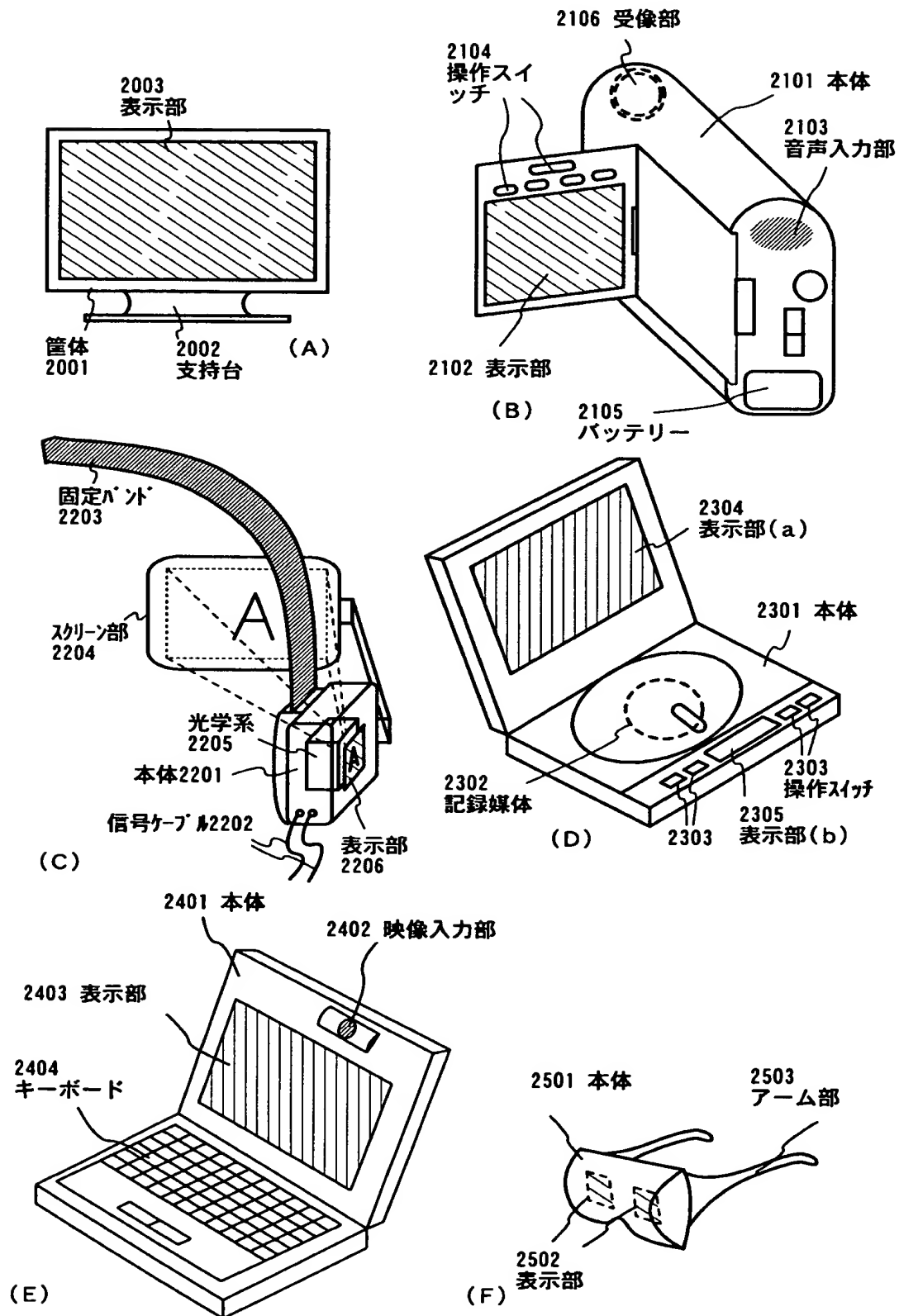


(B) 第2の層間絶縁膜形成／コンタクト開孔／配線・画素電極形成

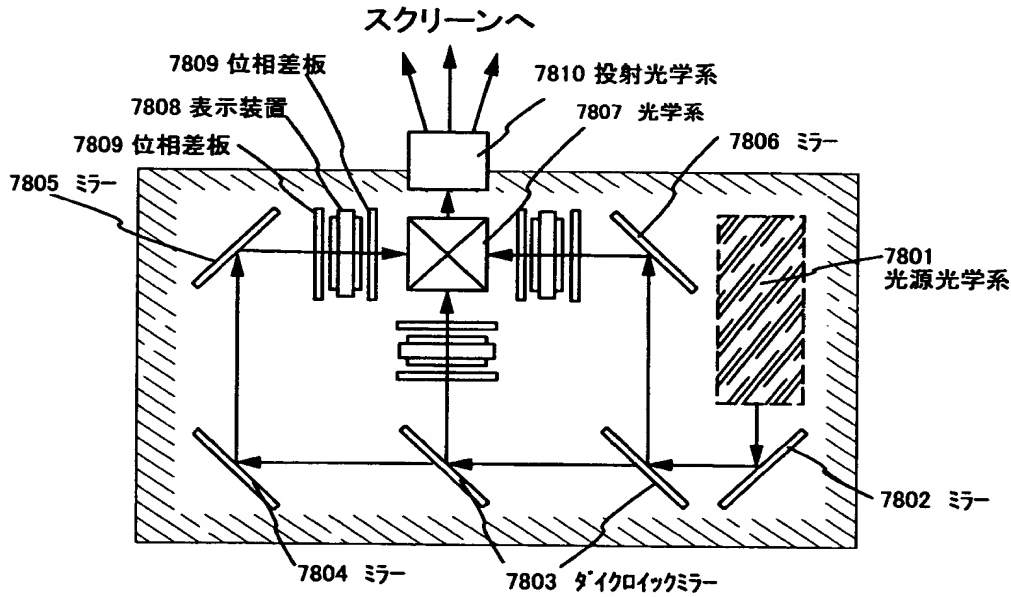
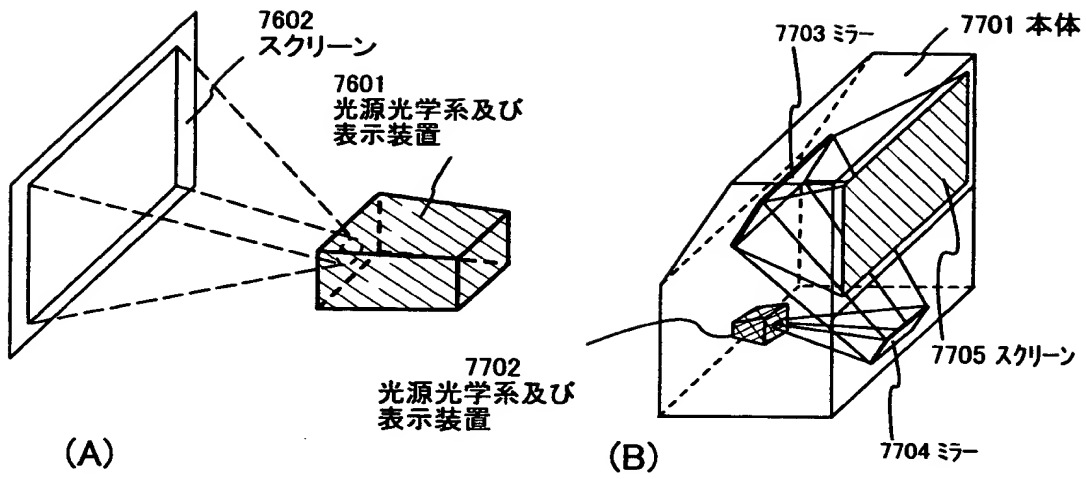
【図16】



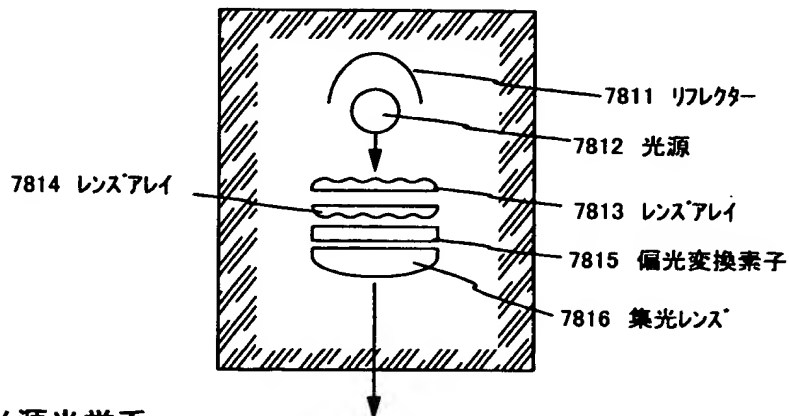
【図 17】



【図 18】

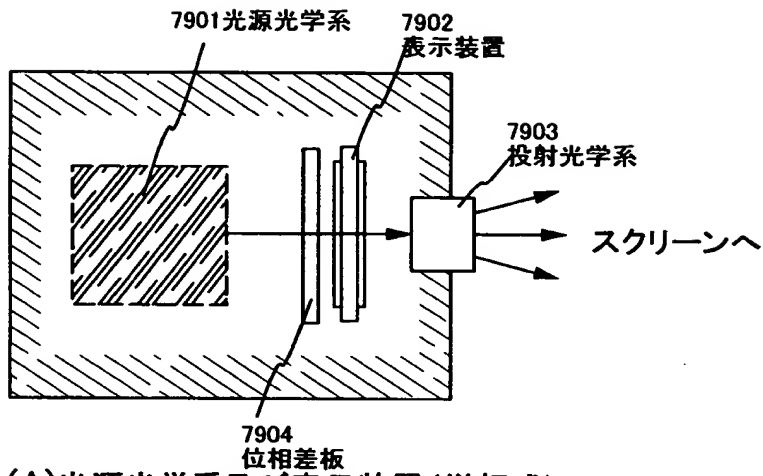


(C)光源光学系及び表示装置(三板式)

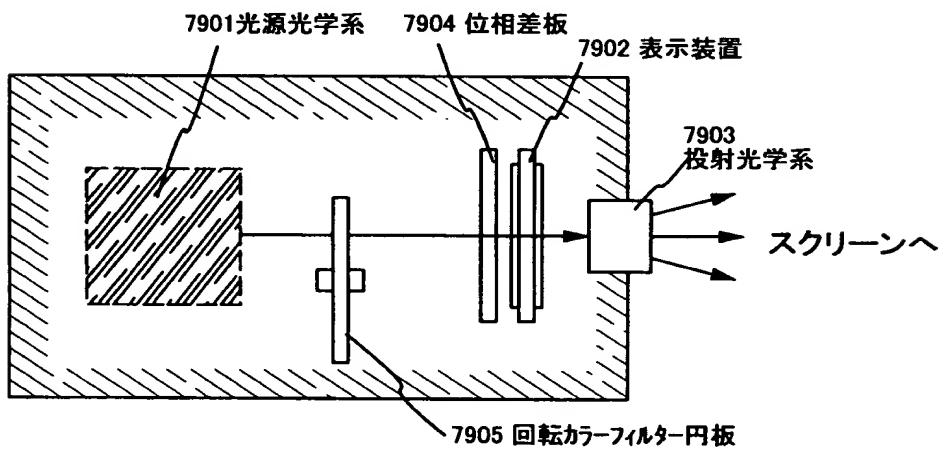


(D)光源光学系

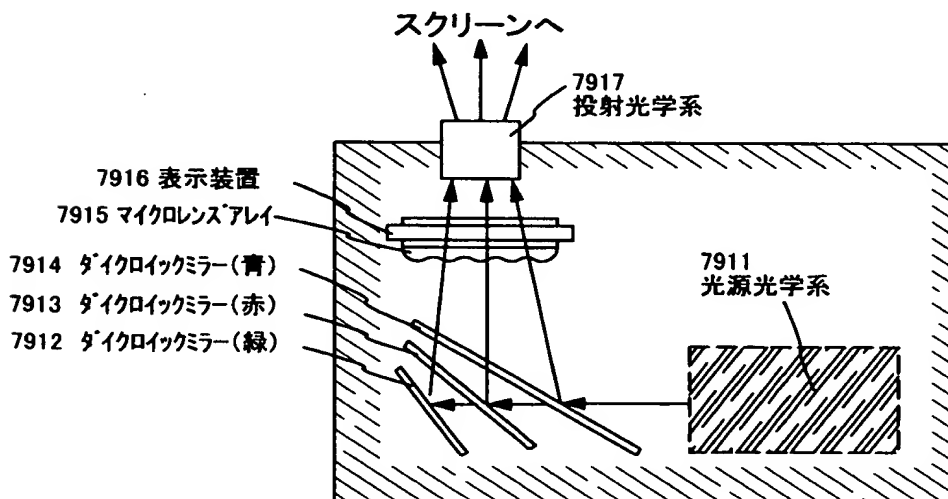
【図 19】



(A) 光源光学系及び表示装置 (単板式)



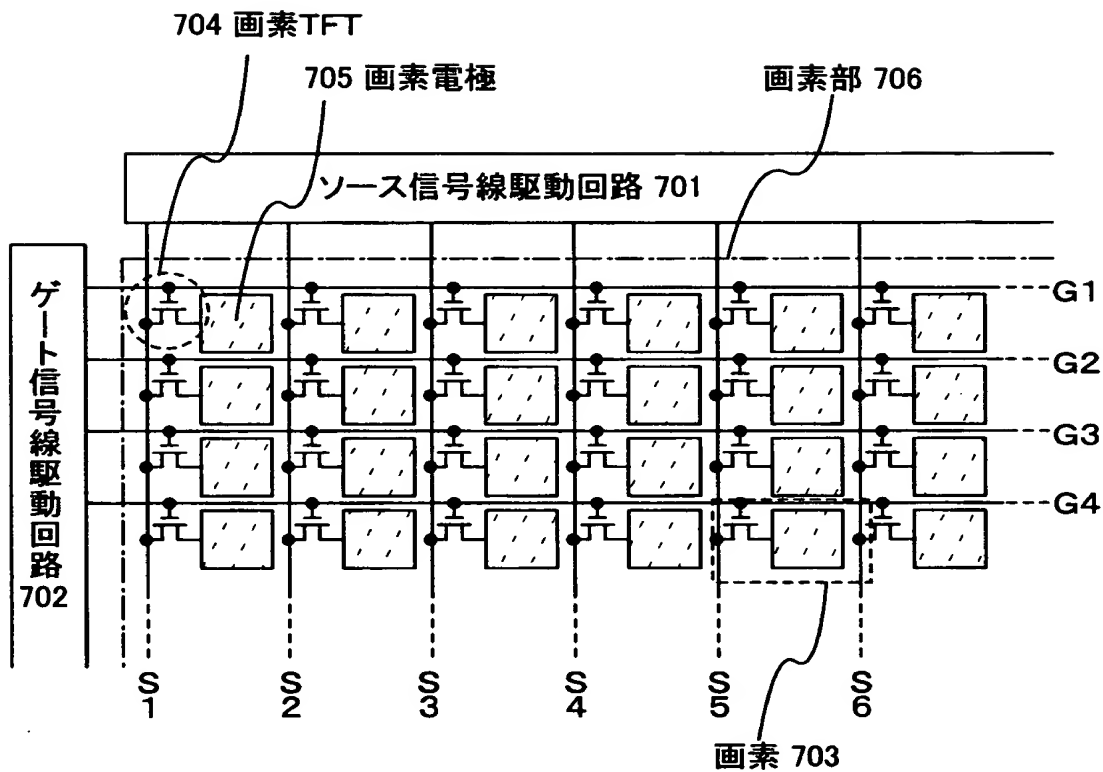
(B) 光源光学系及び表示装置 (単板式)



(C) 光源光学系及び表示装置 (単板式)

【図 2 0】

(A)



(B)

(1, 1)	(1, 2)	(1, 3)	(1, 4)	(1, 5)	(1, 6)
(2, 1)	(2, 2)	(2, 3)	(2, 4)	(2, 5)	(2, 6)
(3, 1)	(3, 2)	(3, 3)	(3, 4)	(3, 5)	(3, 6)
(4, 1)	(4, 2)	(4, 3)	(4, 4)	(4, 5)	(4, 6)

【図 2 1】

(A) フレーム反転駆動
における各画素の極性パターン

+	+	+	+	+	+
+	+	+	+	+	+
+	+	+	+	+	+
+	+	+	+	+	+

極性パターン①



-	-	-	-	-	-
-	-	-	-	-	-
-	-	-	-	-	-
-	-	-	-	-	-

極性パターン②

(B) ソースライン反転駆動
における各画素の極性パターン

+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-
+	-	+	-	+	-

極性パターン③



-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+
-	+	-	+	-	+

極性パターン④

(C) ゲートライン反転駆動
における各画素の極性パターン

+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-

極性パターン⑤



-	-	-	-	-	-
+	+	+	+	+	+
-	-	-	-	-	-
+	+	+	+	+	+

極性パターン⑥

(D) ドット反転駆動
における各画素の極性パターン

+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+

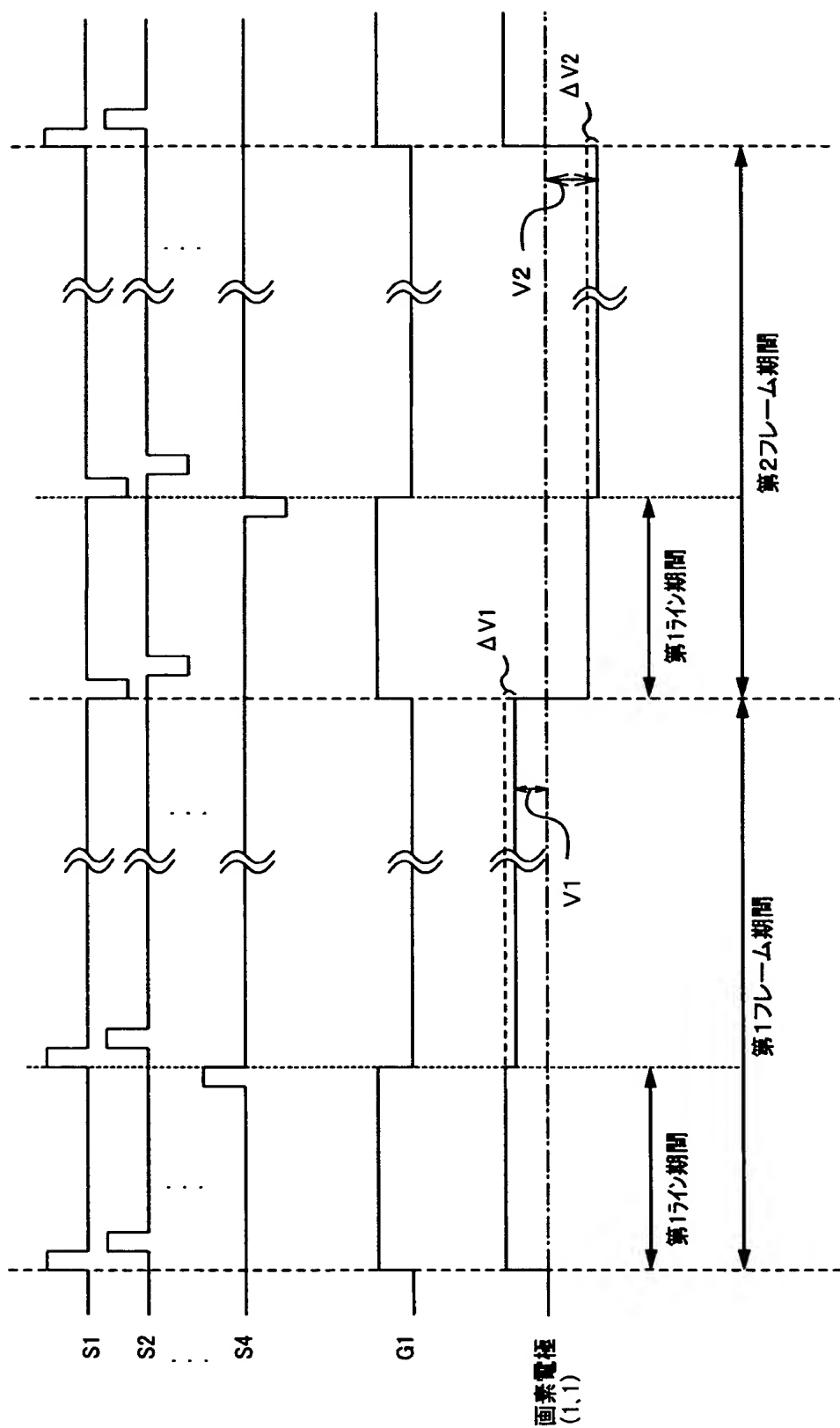
極性パターン⑦



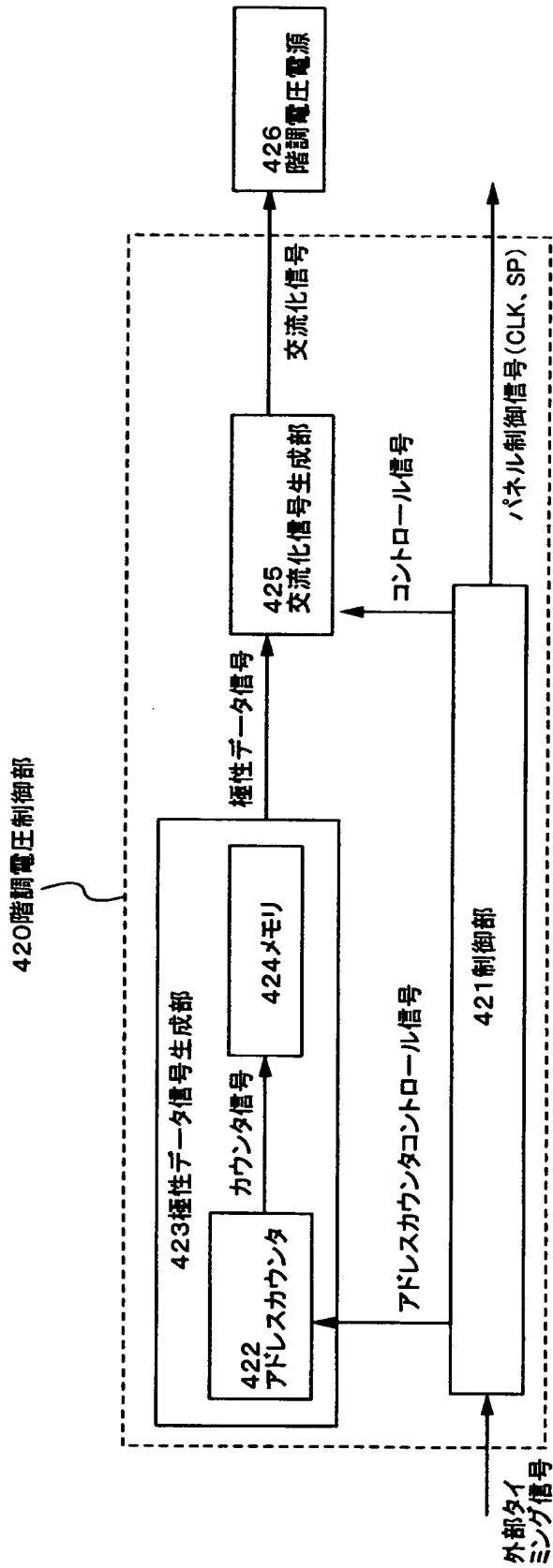
-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-

極性パターン⑧

【図 22】



【図 2 3】



【書類名】 要約書

【要約】

【課題】 ちらつき、縦縞及び横縞が見えにくい半導体表示装置及びその駆動方法を提供する。

【解決手段】 複数の画素電極に入力される表示信号は、対向電極の電位を基準として正又は負の極性を有しており、正の極性を有する表示信号が入力される画素電極と、負の極性を有する表示信号が入力される画素電極とは、フレーム期間ごとに異なっていることを特徴とする半導体表示装置の駆動方法。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所